

國立中山大學

物理學系

薄膜電晶體平面顯示器及

半導體積體電路實驗室

研究成果報告

低溫複晶矽薄膜電晶體在暫態量
測下的電性分析探討

The Study on Electric Characteristics of
Low-Temperature Poly-Si Thin Film
Transistor Employing Transient Measurement

學生：高蕙蕙、蔡瑞發

指導教授：張鼎張 博士

中華民國九十八年一月

目錄

CHAPTER 1.	5
一. 研究背景	5
二、研究動機與目的	6
CHAPTER .2	7
實驗Sample與實驗儀器	7
主題一: N-type Poly-si TFT Device以Transient 量測之電性分析	10
比較DC偏壓與transient量測下的不同	10
比較不同PGU 1 電壓對VG - ID圖之影響	11
比較不同Pulse條件下對VG-ID圖之變化	12
N-type Poly-Si TFTs在AC stress後的變化情形	12
1. 把得到的數據用SigmaPlot重新繪圖，並比較分析與萃取參數	15
2. 參數取得方式	16
CHAPTER 3.	18
實驗結果與分析討論:	18
主題一: Poly-TFT以Transient 量測之電性分析	18
1. 比較DC偏壓與transient量測下的不同	27
2. 比較N-type Poly-si TFT與High K結構在transient量測下的差異	28
3. 比較不同PGU 1 電壓對VG - ID圖之影響	29
4. 比較不同Pulse條件下對VG - ID圖之變化	31
5. N-type Poly-Si TFTs在AC stress後的變化情形	33
CHAPTER 4.	39
結論:	39
未來展望:	39

圖 表

CHAPTER 1

【圖 1-1 薄膜電晶體平面顯示器簡圖】

CHAPTER 2

【圖 2-1 元件結構剖面圖】

【圖 2-2 主題一實驗 Sample】

【圖 2-3 主題一實驗 Sample 放大圖】

【圖 2-4 4 TERMINAL NMOS TFT (B-D JUNCTION)結構示意圖】

【圖 2-5 Probe station】

【圖 2-6 Probe station】

【圖 2-7 Probe station】

【圖 2-8 transient 量測方法示意圖】

【圖 2-9 transient 量測條件示意圖】

【圖 2-10 transient 量測條件示意圖】

【圖 2-11 transient 量測 PGU1 PGU2 Pulse 條件示意圖】

【圖 2-12 stress 量測 條件示意圖】

【圖 2-13 stress 量測 Pulse 條件示意圖】

【圖 2-14 C-V 量測示意圖】

【圖 2-15 活化能圖示 (導帶底部與價帶頂部之間)】

【圖 2-16 $\ln(I_d)$ 對 $(1/kT)$ 作圖曲線】

CHAPTER 3

【圖 3-1 rising-time 載子傳輸示意圖】

【圖 3-2 falling-time 載子傳輸示意圖】

【圖 3-3 載子穿隧示意圖】

【圖 3-4 rising-time 載子傳輸示意圖】

【圖 3-5 falling-time 載子傳輸示意圖】

【圖 3-6 Low VG Pulse 載子傳輸示意圖】

【圖 3-7 High VG Pulse 載子傳輸示意圖】

【圖 3-8 Low VG Pulse 載子傳輸示意圖】

【圖 3-9 High VG Pulse 載子傳輸示意圖】

【圖 3-10 態密度分佈示意圖】

【圖 3-10 $V_g = \text{falling}$ 載子發射示意圖】

【圖 3-11 $V_g = \text{low}$ 載子發射示意圖】

- 圖 1. VG-NID DC 偏壓正反掃
- 圖 2. VG-ID Transient 量測
- 圖 3. VG-ID for High-K Transient 量測
- 圖 4. VG-ID for N-type Poly-si TFT 量測
- 圖 5. VG-ID for different PGU1 voltage
- 圖 6. VG-ID for different PGU1 voltage
- 圖 7. VG-ID for different PGU1 voltage
- 圖 8. VG-ID for different PGU1 voltage
- 圖 9. VG-ID for different PGU1 voltage
- 圖 10. VG-ID for different rising-time
- 圖 11. VG-ID for different rising-time
- 圖 12. VG-ID for different falling-time
- 圖 13. VG-ID for different falling-time
- 圖 14. VD-ID for room temepature stress and measured
- 圖 15. VG-NID for room temepature stress and measured
- 圖 16. VG-ID room temepature stress and measured
- 圖 17. VG-ID room temepature stress and measured
- 圖 18. VG-ID room temepature stress and measured
- 圖 19. VD-ID 100°C stress and measured
- 圖 20. VG-NID 100°C stress and measured
- 圖 21. VG-ID 100°C stress and measured
- 圖 22. VG-ID 100°C stress and measured
- 圖 23. VG-ID 100°C stress and measured
- 圖 24. VD-ID 100°C stress and 30°C measured
- 圖 25. VG-NID 100°C stress and 30°C
- 圖 26. VG-ID 100°C stress and 30°C measured
- 【圖 3-12. 電子撞擊 Drain 端產生電子-電洞對】**
- 【圖 3-13. 電洞移動到 Source 端並降低其 Barrier High】**
- 【圖 3-14 游離碰撞示意圖】**
- 【圖 3-15. VB=-5 漏電機制示意圖】**
- 【圖 3-16. VB=5 漏電機制示意圖】**
- 【圖 3-17. 活化能圖示（導帶底部與價帶頂部之間）】**
- 【圖 3-18. SOI C-V 量測接法示意圖】**
- 【圖 3-19. N-type Poly-si TFT C-V 量測接法示意圖】**
- 【圖 3-20. N-type Poly-si TFT 載子濃度與 C-V 曲線對照示意圖】**
- 【圖 3-21. VB=-5 漏電機制示意圖】**
- 【圖 3-22. VB=5 漏電機制示意圖】**
- 【圖 3-23. 活化能圖示】**

圖 27. VD-ID for different structure

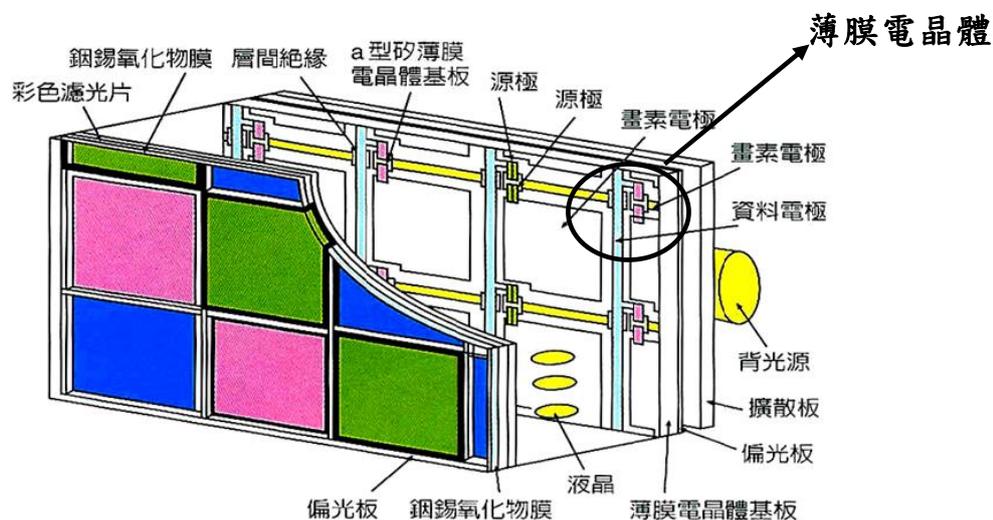
圖 28. VG-NID for different structure

CHAPTER 1.

一. 研究背景

近來我國高科技產業崛起，如 IC 製造產業早居世界領先行列，而幾年來高度發展的平面顯示器產業，表現更是突出，在短短數年之間已在全球佔有舉足輕重的地位，隨著 TFT-LCD(薄膜電晶體-液晶顯示器)的增資擴產也間接帶動了國內筆記型電腦、手機、液晶顯示器等相關產業的興盛，台灣成為全球顯示器產業產品的生產重鎮已是眾所皆知的了。

TFT-LCD 相較於傳統 CRT 的優勢在於其省電、高畫質、低輻射量、重量輕且方便攜帶，也因此逐漸取代傳統 CRT。然而 TFT 目前尚有許多的問題有待去克服，如電晶體的尺寸效應、其反應速度、解析度以及元件的使用壽命問題等。為了能達到更好的品質及良率，這些都是現今所必須積極去研究的重要課題。



【圖 1-1 薄膜電晶體平面顯示器簡圖】

二、研究動機與目的

現今市面上的液晶平面顯示器大多是靠著主動式陣列(The active-matrix)的技術(見下圖一)來加以驅動，而目前主動式陣列顯示器(The active-matrix display)的主要元件是薄膜電晶體(The film transistor)作為操作上的 switch，而一般在主動式陣列的操作下，所用的電壓是以 pulse 的方式去操作，我們所關心的是顯示器在如此的情況長時間使用下，本身薄膜電晶體的可靠度問題，因而希望透過對元件做動態 Stress，進而去探討元件在不同動態 Stress 條件下的其劣化產生機制、缺陷生成的影響。因為對載子的移動而言 DC 偏壓的反應時間太慢，導致可以忽略缺陷的捕獲發射機制，而利用 Transient 量測方式可以看到載子被缺陷捕獲及發射的暫態現象。而元件上的 Body contact 可以改善漏電的現象，以及探討能障的升高及下降以利於物理機制的釐清。

CHAPTER 2.

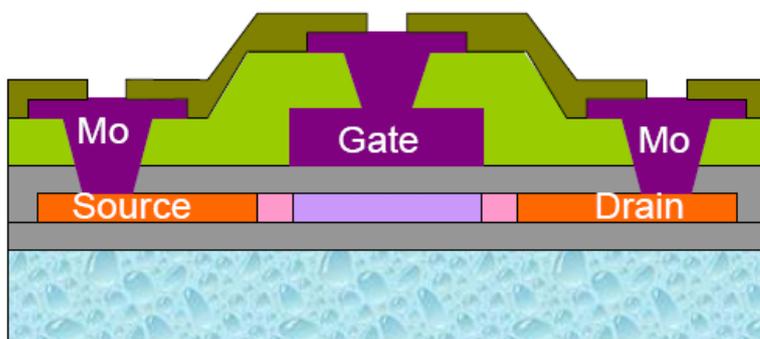
實驗 Sample 實驗儀器

元件來源是由奇美光電所提供

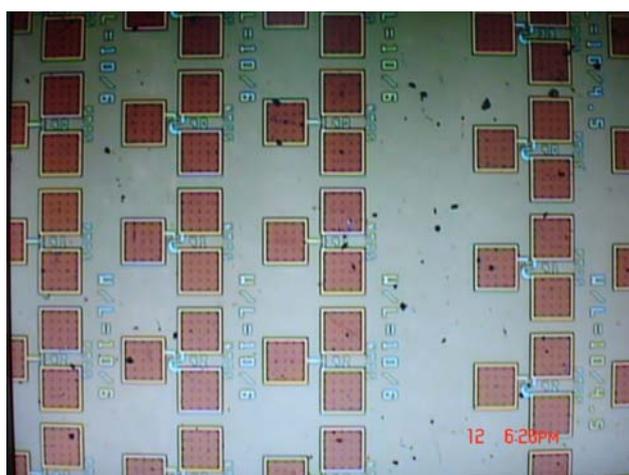
主題一實驗 Sample : Single Gate(poly-Si)N-type TFT 結構

Poly-si 的結晶方式為 ELA(雷射退火)

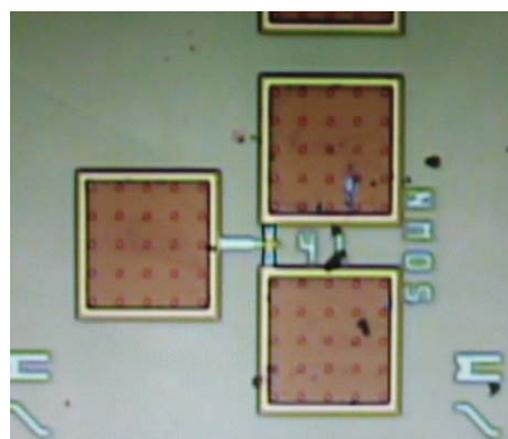
Gate width=10um , length=6um(通道長度)



【圖 2-1 元件結構剖面圖】



【圖 2-2 主題一實驗 Sample】

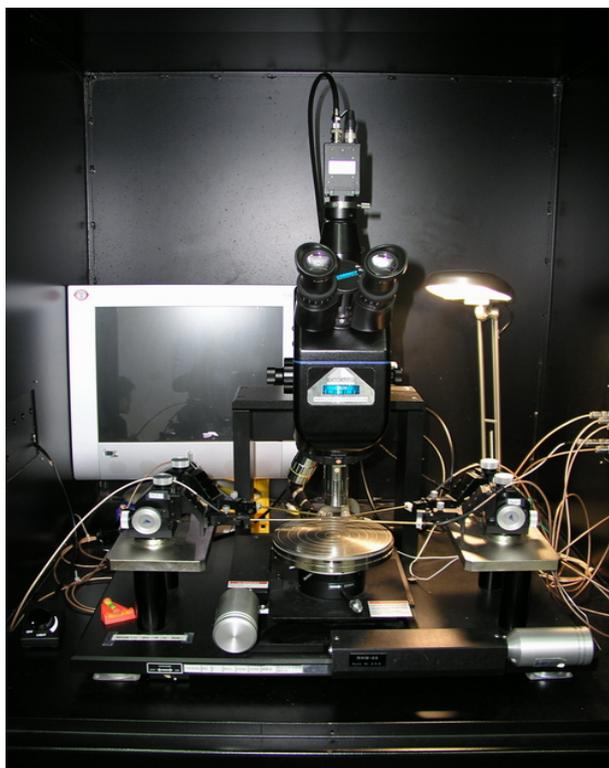


【圖 2-3 主題一實驗 Sample 放大圖】

實驗儀器：

(1) 顯微鏡、針座、Hot chuck

Probe station 內部全覽



【圖 2-8 Probe station】

(2) 安捷倫 4294A(量測 C-V)



【圖 2-9 Probe station】

(3) 溫控器



【圖 2-10 Probe station】

(4) 量測控制軟體 Keithley 4200

負責取得 a · V_D - I_D

b · V_G - I_D (Linear)

c · V_G - I_D (Saturation)

d · V_G - G_m

【註】 V_D : Drain Voltage I_D : Drain current V_G : Gate Voltage

G_m : V_D - I_D max slope

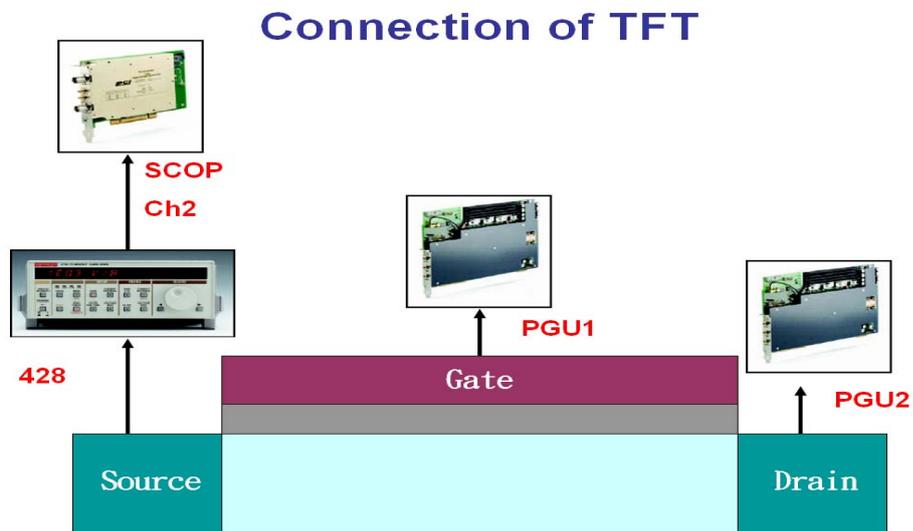
二. 實驗步驟與量測條件

(1)

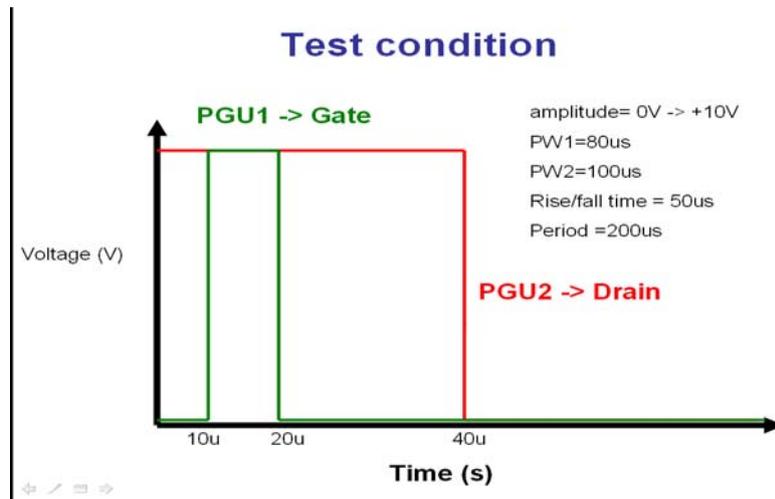
主題一：N-type Poly-si TFT Device 以 Transient 量測之電性分析

比較 DC 偏壓與 transient 量測下的不同

- (a) 正掃：在三端點的 TFT 中給予 Gate 端 $-10V \sim 10V$ 偏壓，Source 端接地，Drain $0.1V$ 偏壓。
- (b) 反掃：在三端點的 TFT 中給予 Gate 端 $10V \sim -10V$ 偏壓，Source 端接地，Drain $0.1V$ 偏壓。
- (c) 在三端點的 TFT 中給予一 transient 條件其量測接法與參數為。Rising-time=50us、falling-time=50us、width1=80us、width2=100us、Period=200us



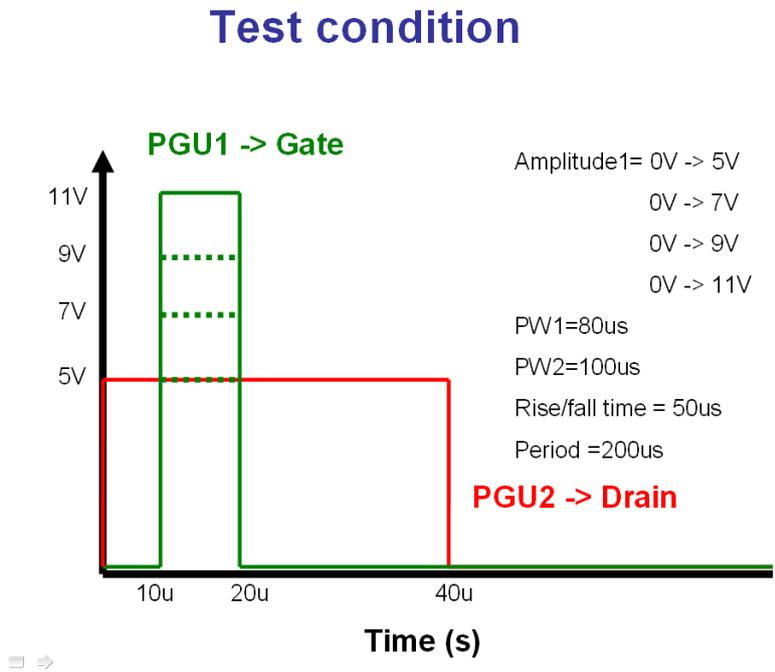
【圖 2-11 transient 量測方法示意圖】



【圖 2-12 transient 量測條件示意圖】

比較不同 PGU 1 電壓對 VG - ID 圖之影響

改變 PGU 1 的電壓振幅來依序作出 VG - ID 圖並比較其中之差異



【圖 2-13 transient 量測條件示意圖】

比較不同 Pulse 條件下對 VG-ID 圖之變化

(a) 固定 rising-time = 50us

變化 falling-time = 10us, 30us, 50us 依序作出 VG- ID 圖比較之

(b) 固定 falling-time = 50us

變化 rising-time = 10us, 30us, 50us 依序作出 VG- ID 圖比較之

N-type Poly-Si TFTs 在 AC stress 後的變化情形

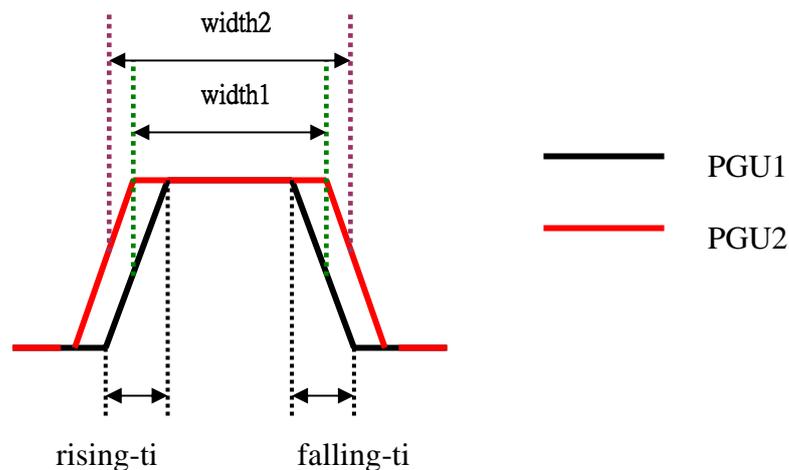
(a) 量測 sample 在 30°C stress 前後的電性變化:

VD-ID 曲線: VD 給 0 至 10 伏特採用 sweep 的方式 VG 給 0、2、4、6、8、10 伏特源極接地

VG-NID(Linear) 曲線: VD 給 0.1 伏特 VG 給 -10 至 10 伏特採 sweep 的方式源極接地

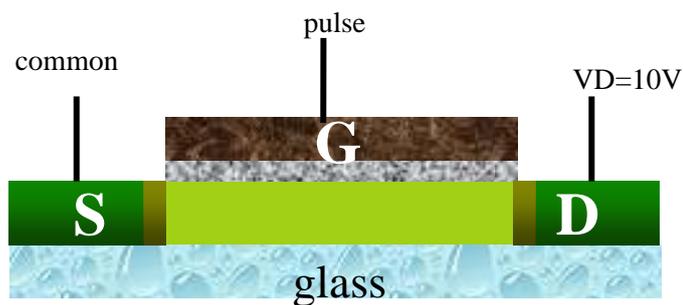
VG-NID(Saturation) 曲線: VD 給 10 伏特 VG 給 -10 至 10 伏特採 sweep 的方式源極接地

Transient VG-ID 曲線: PGU1 給一振幅為 0~10V 之偏壓, PGU2 給一振幅為 0~10V 之偏壓, rising-time = 50us、falling-time = 50us、width1 = 80us、width2 = 100us、Period = 200us



【圖 2-14 transient 量測 PGU1 PGU2 Pulse 條件示意圖】

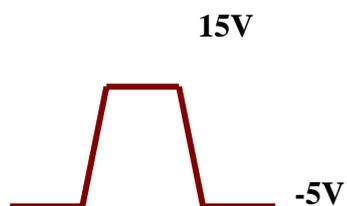
Stress condition



【圖 2-15 stress 量測 條件示意圖】

Gate 端給一 Pulse、Drain 端偏壓=10V、Source 端接地

Pulse Condition:



【圖 2-16 stress 量測 Pulse 條件示意圖】

Stresstime = 2000s、4000s、6000s

(b)量測 sample 在 100°C stress 前後的電性變化:

在室溫的情況下做一次基本的電性量測(VD-ID、VG-NID(Linear)、VG-NID(Saturation)、VG-ID(Transient))。升溫至 100°C 依上步驟做一次量測，stress 過後再做一次量測，降到 30°C 做最後一次量測，比較彼此的不同。

Ea(活化能)的量測：

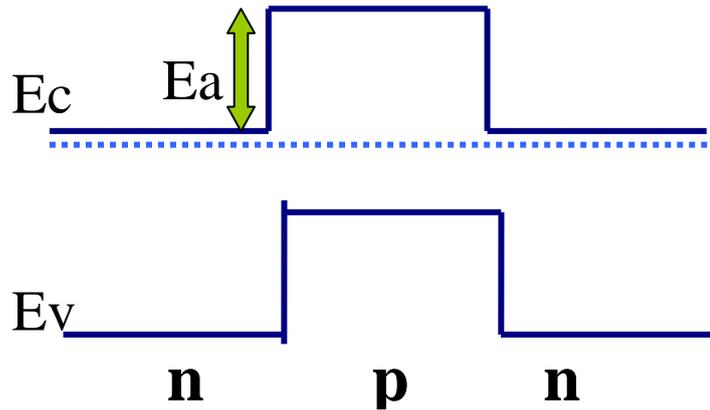
在複晶矽薄膜電晶體中，啟始電流可以以下式來表達：

$$I_D = I_0 \exp(-E_a / kT)$$

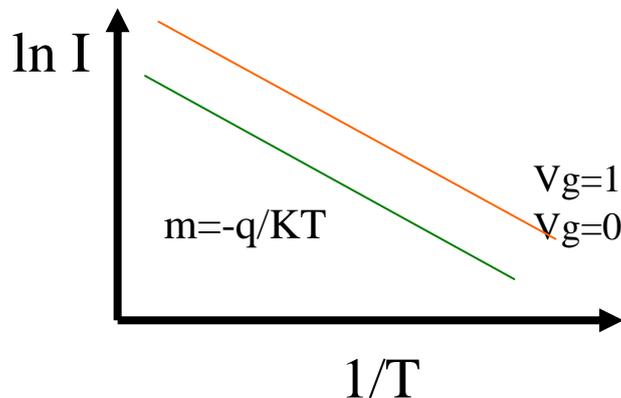
其中：

$$I_0 = \mu_{FE} C_{ox} \frac{W}{L} \left[(V_G - V_{TH}) V_D - \frac{1}{2} V_D^2 \right]$$

Ea(活化能)為導電帶底部與晶界能量間的差異，這裡我們假設為一分離的能階，晶界能量大約是在能隙中間位置。由不同Vg(閘極電壓)的ln(ID)對應不同(1/kT)作曲線，我們可以獲得斜率。最後Ea(活化能)對應Vg(閘極電壓)作曲線圖。



【圖 2-18 活化能圖示（導帶底部與價帶頂部之間）】



【圖 2-19 ln(I_d)對(1/kT)作圖曲線】

Ea 量測條件:

$V_G = -10 \sim 10 \text{ v}$

$V_D = 0.1 \text{ v}$

$V_B = -5\text{v}、0\text{v}、0.5\text{v}$

Temperature : 303k、323k、348k、373k

(2)

1. 把得到的數據用 SigmaPlot 重新繪圖，並比較分析與萃取參數

(a) 作 poly-Si N-type TFT 的 V_D-I_D 圖、 $V_G-I_D(\log)(\text{Linear})$ 圖、

$V_G-I_D(\log)(\text{Saturation})$ 圖、 V_G-G_m 圖、 $C-V$ 圖。再取其 μ_n :

mobility($\text{cm}^2/\text{V}\cdot\text{sec}$)、 V_T : threshold voltage(V)、SS : subthreshold swing(V/decade)、 $G_m\text{-Max}$ (linear)。

(b) 分別比較溫度及加壓時間變因並對元件的電性量測做電流的差異圖，加以分析討論。

2. 參數取得方式

Linear:

(1) μ_n -mobility($\text{cm}^2/\text{V}\cdot\text{sec}$)

$$I_D = \frac{\omega\mu_n C_{ox}}{2L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$$

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{\omega\mu_n C_{ox}}{L} V_{DS} \Rightarrow \mu_n(\text{max}) = \frac{Lg_{m-linear(\text{max})}}{C_{ox}\omega V_{DS}}$$

(2) V_T -threshold voltage(V)

(a) $V_T = g_{m-linear(\text{max})}$ 之位置作 V_G-I_D 圖的切線交 X 軸的 V_G 值即為 V_T

(b) 取 V_G-I_D 圖在 $V_D=0.1\text{V}$ $I_D=10\text{ nA}$ 的 V_G 值即為 V_T (目前 paper 都以此為主) 本專題以取(b)為主

(3) SS=subthreshold swing(V/decade)

(a) SS(lab)=取 $\log I_D$ 於 10^{-9} - 10^{-11} 這區間範圍與 V_G 作線性迴歸斜率之倒數值

$$(b) \text{ SS(工業)} = \frac{|V_G(I_D \square 10^{-9}) - V_G(I_D \square 10^{-11})|}{2} \text{ 之值}$$

(a)與(b)之值都寫在 ICS，由電腦運算自取，假使(a)與(b)之值相近則取(a)值為主，假使(a)與(b)之值相差太大則重新由 $V_G-I_D(\log)(\text{Linear})$ 圖上手動取出。

(4) on/off current ratio

由 $V_G-I_D(\log)(\text{linear})$ 圖上取 $I(\text{max 附近平均值})/I(\text{min 附近平均值})$ ，看其開關性質(以大於 10 為佳)

Saturation:

(1) μ_n -mobility($\text{cm}^2/\text{V}\cdot\text{sec}$)

$$I_D = \frac{\omega\mu C_{ox}}{2L}(V_G - V_T)^2 \Rightarrow \sqrt{I_D} = \left(\frac{\omega\mu C_{ox}}{2L}\right)^{\frac{1}{2}} V_G$$

取其 $V_G - \sqrt{I_D}$ 圖的斜率，即可算出 μ_n

(2) V_T -threshold voltage(V)

(a) $V_T = g_m(\text{sat})(\text{max})$ 之位置作 $V_G - I_D$ 圖的切線交X軸的 V_G 值即為 V_T

(b) 取 $V_G - I_D$ 圖在 $V_D = 0.1\text{V}$ $I_D = 100\text{ nA}$ 的 V_G 值即為 V_T (目前paper 都以此為主)

(3) SS-subthreshold swing(V/decade)

(a) $\text{SS}(\text{lab}) = \text{取 } \log I_D \text{ 於 } 10^{-9} - 10^{-11} \text{ 這區間範圍與 } V_G \text{ 作線性迴歸斜率之倒數值}$

(b) $\text{SS}(\text{工業}) = \left| \frac{V_G(I_D \square 10^{-9}) - V_G(I_D \square 10^{-11})}{2} \right|$ 之值

(a)與(b)之值都寫在 ICS，由電腦運算自取，假使(a)與(b)之值相近則取(a)值為主，假使(a)與(b)之值相差太大則重新由 $V_G - I_D(\log)(\text{Linear})$ 圖上手動取出。

(4) on/off current ratio

由 $V_G - I_D(\log)(\text{linear})$ 圖上取 $I(\text{max 附近平均值})/I(\text{min 附近平均值})$ ，看其開關性質(以大於 10 為佳)

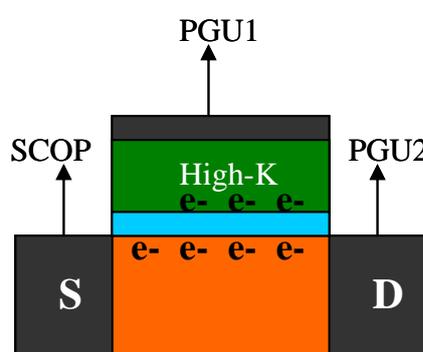
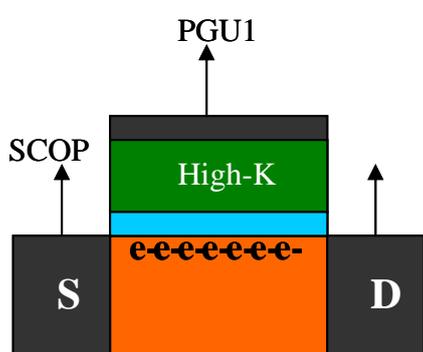
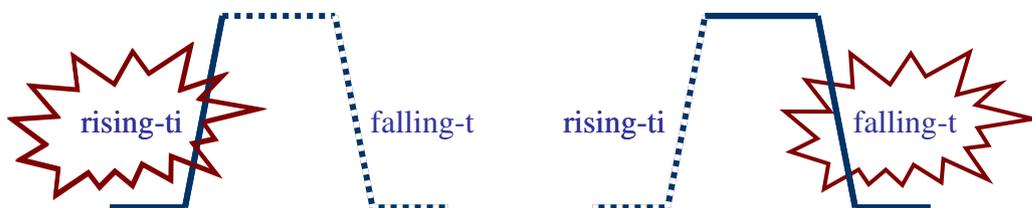
CHAPTER 3.

實驗結果與分析討論:

主題一: Poly-TFT 以 Transient 量測之電性分析

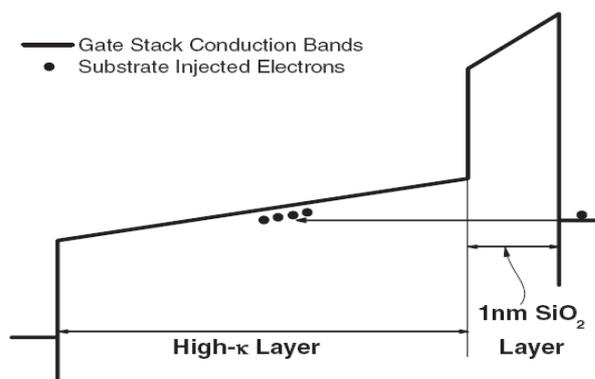
1. 比較圖 1 跟圖 2，可明顯看出其差異，從圖 1 中可看出不論由正掃 ($V_G = -10V \sim 10V$) 或是反掃 ($V_G = 10V \sim -10V$)，彼此之間的差異不大，因為對載子的移動而言 DC 偏壓的反應時間太慢，導致可以忽略缺陷的捕獲發射機制，使得圖 1 的 V_G -ID 圖沒有出現延滯的特性。對圖 2 而言，因為是利用 transient 量測，在 Gate 端給一 Pulse，因為反應時間極小，讓載子能在 rising-time 與 falling-time 的表現出補或與發射的特性，使得在圖 2 的 V_G -ID 圖上能看到延滯的現象。
2. 比較圖 3 跟圖 4，可以看出彼此 rising-time 與 falling-time 在其對應的 V_G -ID 圖上位置是相反的。因為在 High-K 結構中，Gate 端在 rising-time ($0V \sim 10V$) 時，電子會被吸引到通道區，在 PW 時電子會穿隧到 High-K 材料內並留在裡面，使得在 falling-time ($10V \sim 0V$) 時，通道區內的電子並沒有在 rising-time 時那麼多，所以電流就會下降。所以比較兩者的 ID 電流可以清楚的了解 rising-time 的 ID 電流會大於 falling-time 的 ID 電流。

★In High-K Device:



【圖 3-1 rising-time 載子傳輸示意圖】 【圖 3-2 falling-time 載子傳輸示意圖】

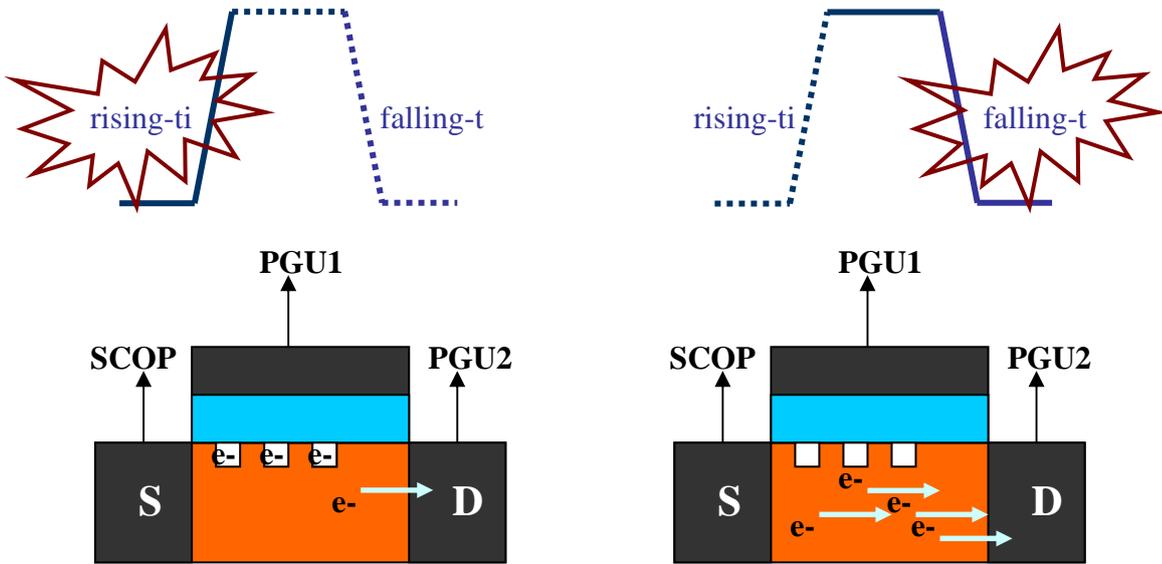
【圖 3-3 載子穿隧示意圖】



對於 N-type Poly-si TFT 而言，Gate 端在 rising-time(0V-10V)時，電子會被吸引導至被缺陷補獲，此時只有沒有被捕獲的電子能被 Drain 端吸引。但是當在 falling-time(10V-0V)時，缺陷內的電子因為電壓改

變而被發射出來然後被 Drain 端吸引。所以比較兩者的 ID 電流可以清楚的了解 rising-time 的 ID 電流會小於 falling-time 的 ID 電流。

★In N-type Poly-si TFT Device

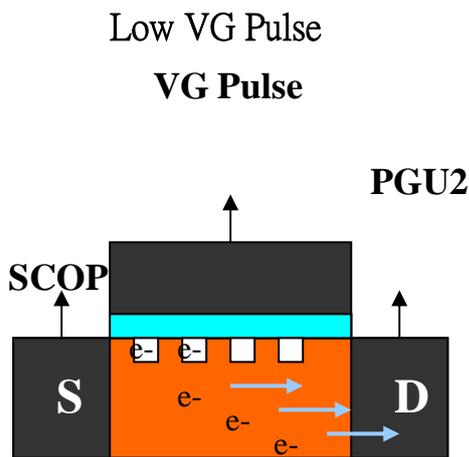


【圖 3-4 rising-time 載子傳輸示意圖】 【圖 3-5 falling-time 載子傳輸示意圖】

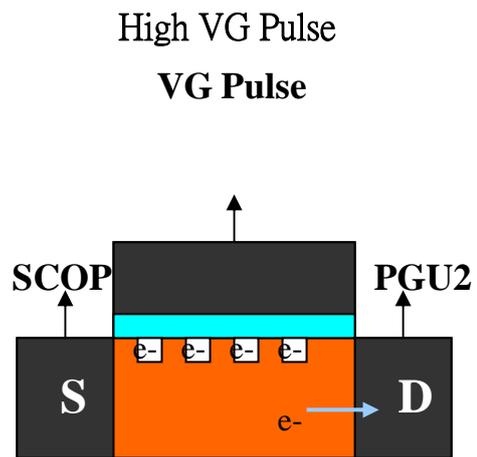
3. 比較圖 5. 圖 6. 圖 7. 圖 8 可發現 N-type Poly-si TFT Device 在 rising-time 時的 VG-ID 曲線會隨著 VG Pulse 電壓增加而下降，而在 falling-time 時的 VG-ID 並不會隨著 VG Pulse 電壓的增加而有明顯的變化。主要是因為在 rising-time 時若給予較小的 VG Pulse 電壓則垂直電場較小導致通道內的電子比較不容易被吸引而被缺陷補獲，所以有較多的電子能到達 Drain 端，若給予較大的 VG Pulse 電壓則因垂直電場較大電子會因為強大的電壓而被吸引導致大部分的電子會被缺陷補獲，只有少部分的電子能夠到達 Drain 端，所以在 rising-time 時的 VG-ID 圖會隨著 VG Pulse 電壓的增壓而減小。在 falling-time 時因為原本被缺陷所捕獲的電子因為電壓的改變都被發射出缺陷，使得大部分的電子都能夠到達 Drain 端，所以在 falling-time 時的 VG-ID 圖並無

明顯的變化。在圖 9. 中可以明顯的發現 High-K Device 在 falling-time 時的 VG-ID 圖會隨著 VG Pulse 電壓的增加而有 V_t shift 的現象發生，而在 rising-time 時的 VG-ID 圖並不會隨著 VG Pulse 電壓的增加而有明顯的變化。主要是因為在 falling-time 時電子穿隧進入 High-K 材料的數目會隨著 VG Pulse 電壓的增加而增加，而穿隧進入 High-K 材料內的電子則會在通道區內感應產生正電荷，使得 VG 電壓必須增加才可以導通，造成 V_t shift 的現象。而在 rising-time 時因為電子還未穿隧進入 High-K 材料內所以不會在通道區產生感應電荷，所以在 VG-ID 圖上沒有顯著的變化。

★In N-type Poly-si TFT Device:

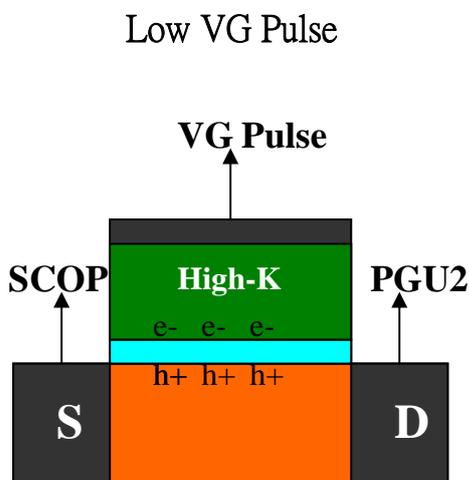


【圖 3-6 Low VG Pulse 載子傳輸示意圖】

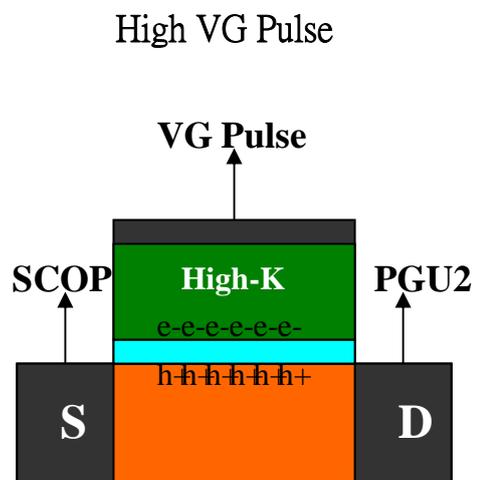


【圖 3-7 High VG Pulse 載子傳輸示意圖】

★In High-K Device:



【圖 3-8 Low VG Pulse 載子傳輸示意圖】



【圖 3-9 High VG Pulse 載子傳輸示意圖】

4.

(a)現在說明一下電子捕獲時間，電子的捕獲時間(τ_t)原理表達式，J. G. Simmons and G. W Taylor 已經有提出了，捕獲時間可表示為：

$$\tau_t = \frac{1}{v_{therm} \sigma_n n_s}$$

這裡 v_{therm} 指的是電子熱速度； σ_n 指的是缺陷捕獲電子的截面積； n_i 是指本質載子密度； n_s 是指通道表面電子濃度；我們假設 σ_n 為 $1 \times 10^{-15} \text{ cm}^{-2}$ ， τ_t 的等級約為奈米等級。

由圖 10. 與圖 11. 可以發現在固定 falling-time(50us)改變 rising-time(10us、30us、50us)的 VG-ID 曲線中有明顯的差異。隨著 rising-time 的增加，其相對應的 VG-ID 曲線也跟著上升，而在 falling-time 所對應的 VG-ID 曲線沒有明顯的改變。因為載子的捕獲時間經過計算大約等於 1 ns 遠小於我們所設定的 10us、30us、50us，所以此 VG-ID 曲線的變化與捕獲時間並無太大的關聯，所以我們可以推想因為 rising-time 時間的增加代表有更多的電子被吸引，所以相對我們所量出來的 VG-ID 曲線也隨之增加。而在 falling-time 的部分因為設定的時間都是相同的所以量測到的 VG-ID 曲線幾乎沒有改變。

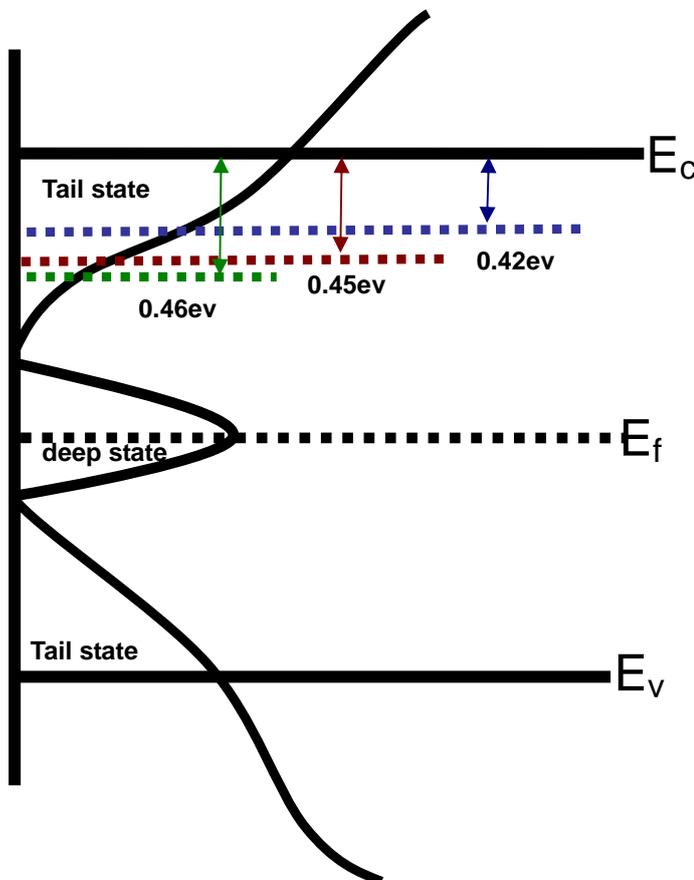
(b) 現在說明一下電子發射時間，電子發射時間(τ_e)的原理表達式，J. G. Simmons and G. W Taylor 已經有提出了，發射時間可表示為：

$$\tau_e = \frac{1}{v_{therm} \sigma_n n_i \exp[(E_t - E_i)/KT]}$$

$$\tau_e = 10^{-12} \exp\left[\frac{E_c - E_t}{KT}\right]$$

這裡 v_{therm} 指的是電子熱速度； σ_n 指的是缺陷捕獲電子的截面積； n_i 是指本質載子密度； n_s 是指通道表面電子濃度； E_c 是指缺陷能接的位置以及 E_i 是指本質費米能階位置。當缺陷能階位置等於本質費米能階位置時($E_t = E_i$)，電子從缺陷的發射時間約為毫秒等級 (millisecond)。

由圖 12. 與圖 13. 可以發現在固定 rising-time(50us) 改變 falling-time(10us、30us、50us)的 VG-ID 曲線圖上有明顯的差異。隨著 falling-time 的增加，所對應的 VG-ID 曲線卻下降，而在 rising-time 所對應的曲線沒有明顯的變化。因為當我們把設定的 falling-time(10us、30us、50us)代入公式 $\tau_e = 10^{-12} \exp\left[\frac{E_c - E_t}{KT}\right]$ 分別可以得到 $E_c - E_t = 0.42\text{ev}(10\text{us})、0.45\text{ev}(30\text{us})、0.46\text{ev}(50\text{us})$ 。從能態密度示意圖可以了解當 $E_c - E_t$ 的值越大時代表越少的載子能存在於缺陷中，在存在 $E_c \sim E_t$ 之間的載子會被發射而離開通道區，所以當 $E_c - E_t$ 的值越大時代表越多的載子被發射出通道區導致 VG-ID 圖的曲線下降。而在 rising-time 的部分因為設定的時間都是相同的所以量測到的 VG-ID 曲線幾乎沒有改變。



【圖 3-10 能態密度分佈示意圖】

Emission Time:

$$\tau_n(E) = 10^{-12} \exp[(E_c - E_t)/kT]$$

If falling time = 10us

➤ $E_c - E_t = 0.42 \text{ eV}$

If falling time = 30us

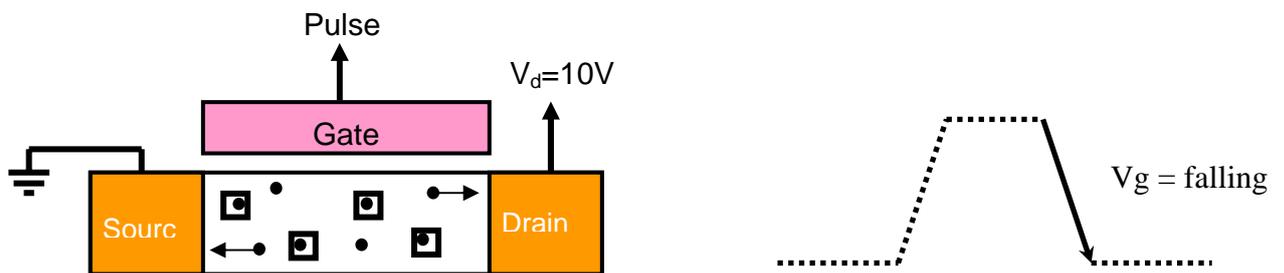
➤ $E_c - E_t = 0.45 \text{ eV}$

If falling time = 50us

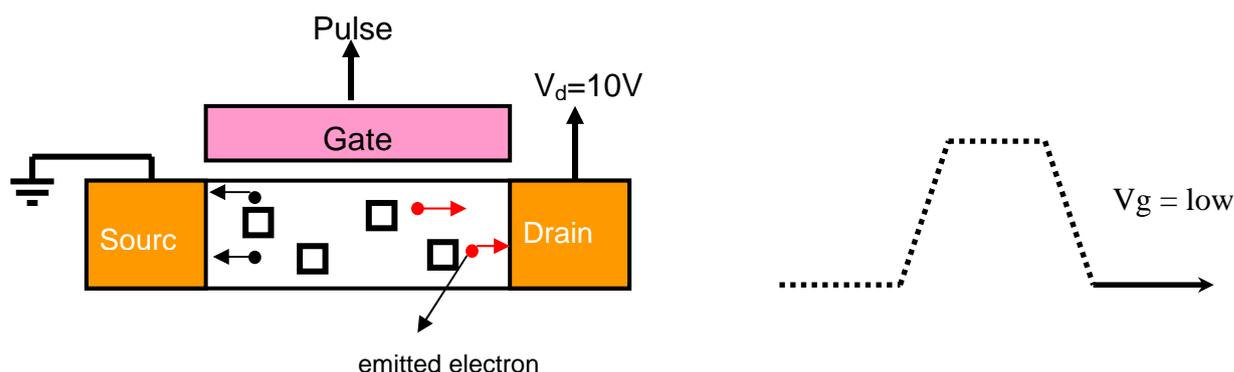
➤ $E_c - E_t = 0.46 \text{ eV}$

5.

(a) AC stress 的劣化機制為當 $V_g = \text{falling}$ 時通道內的電子會因為排斥現象往 Source 端與 Drain 發射(圖 3-10)，當 $V_g = \text{low}$ 時因為此時的壓差最大，使得缺陷內的電子也被發射出來，使得缺陷數目便多(圖 3-11)，造成元件劣化。



【圖 3-10 $V_g = \text{falling}$ 載子發射示意圖】



【圖 3-11 $V_g = \text{low}$ 載子發射示意圖】

由圖 14. 可以發現在 stress 前與 stress 2000 秒之後的 V_D - I_D 曲線有明顯的差異，stress 2000 秒後的 V_D - I_D 曲線明顯的比還未 stress 的曲線下降許多，但是隨著 stress 時間的增加(4000、6000 秒)卻發現與 stress 2000 秒的曲線沒有明顯的差異。再看圖 15. 可以發現在 On current 的部分，也是出現相同的情況，由圖表知在 stress 2000 秒的劣化程度為 13.7%，stress 4000 秒的劣化程度為 17.1%，stress 6000 秒的劣化程度為 20.2%。所以 stress 的時間並沒有對元件的劣化有明顯的影響。最後觀察圖 16. 圖 17. 圖 18 可以發現在 falling-time 所對應的 V_G - I_D 曲線在 stress 2000 秒、stress 4000 秒、stress 6000 秒幾乎沒有改變，由 AC stress 的劣化機制中可以得知如果 falling-time 所對應的 V_G - I_D 曲線如果相同代表電子發射出來的數目相同，也就是缺陷數目相同，也就是說不管 stress 的時間增加多，其缺陷的數目已經趨於一個飽和的狀態，所以劣化的程度也相對的不明顯。

(b)由圖 19. 圖 20. 可以發現不管 stress 的變化多寡，其相對應的 V_D - I_D 圖與 V_G - I_D 都沒有明顯的變化。再觀察圖 21. 圖 22. 圖 23. 可以發現在 falling-time 的部分，比較 stress 前與 stress 2000 秒、stress 4000 秒、stress 6000 秒幾乎沒有明顯的差，這是因為雖然 stress 過後缺陷數目雖然增加，但由於是在高溫下量測，所以在缺陷內的電子會因為受到高溫的能量而跳出缺陷。所以即使缺陷數目增加，但對元件的劣化並

不會造成顯著的影響。最後再比較圖 24. 圖 25. 可以發現當我們使用同樣的 stress 條件但是把量測條件降到 30°C 可以發現劣化的程度有明顯的改變。再觀察圖 26. 可以發現在 falling-time 的部分跟之前圖 23. 有差異。圖 26. 的 VG-ID 曲線下降的趨勢比圖 23. 還要明顯。所以可以推得在 30°C 的量測條件下因為被缺陷所捕獲的電子沒有辦法因為受到熱而跳出所以劣化程度比較嚴重。

主題一：Poly-TFT 以 Transient 量測之電性分析

1. 比較 DC 偏壓與 transient 量測下的不同

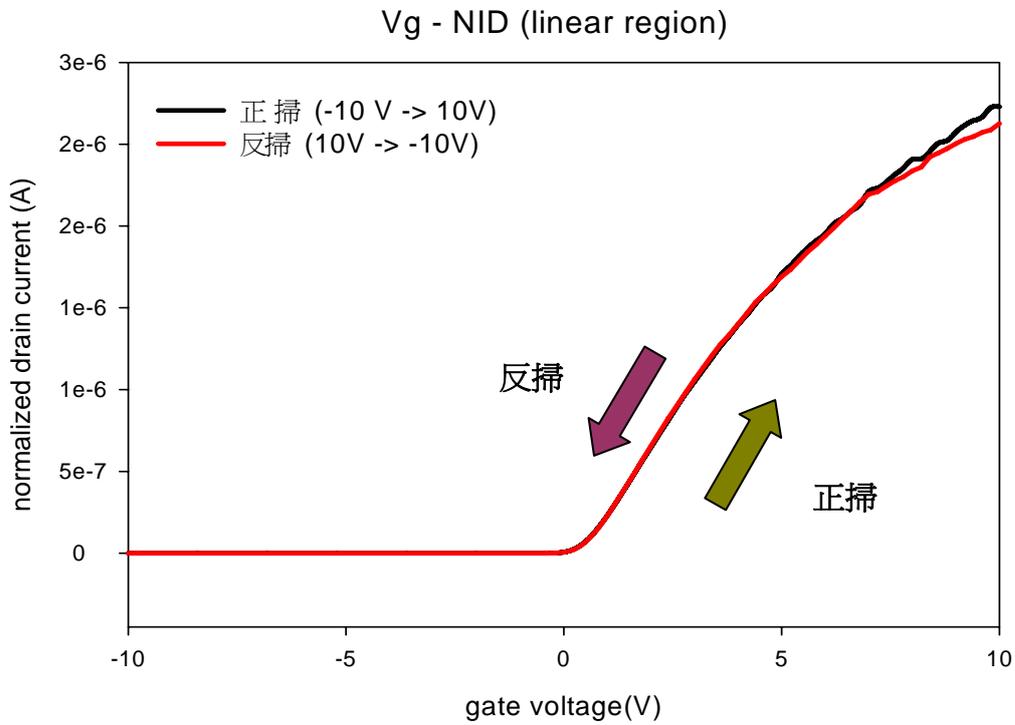


圖 1. VG-NID DC 偏壓正反掃

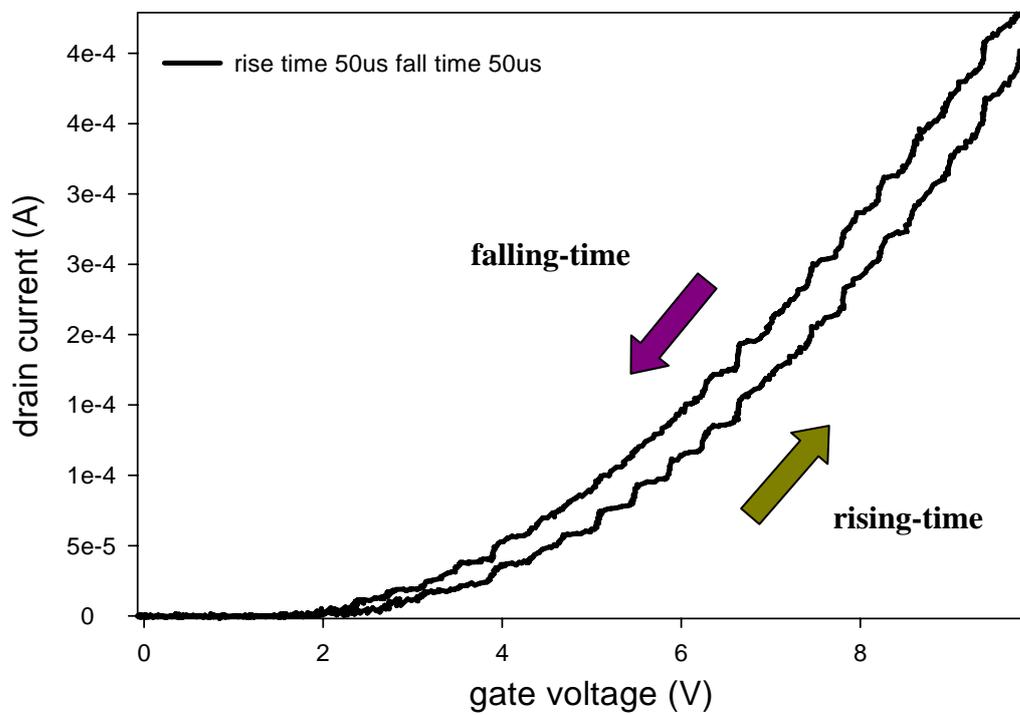


圖 2. VG-ID Transient 量測

2. 比較 N-type Poly-si TFT 與 High K 結構在 transient 量測下的差異

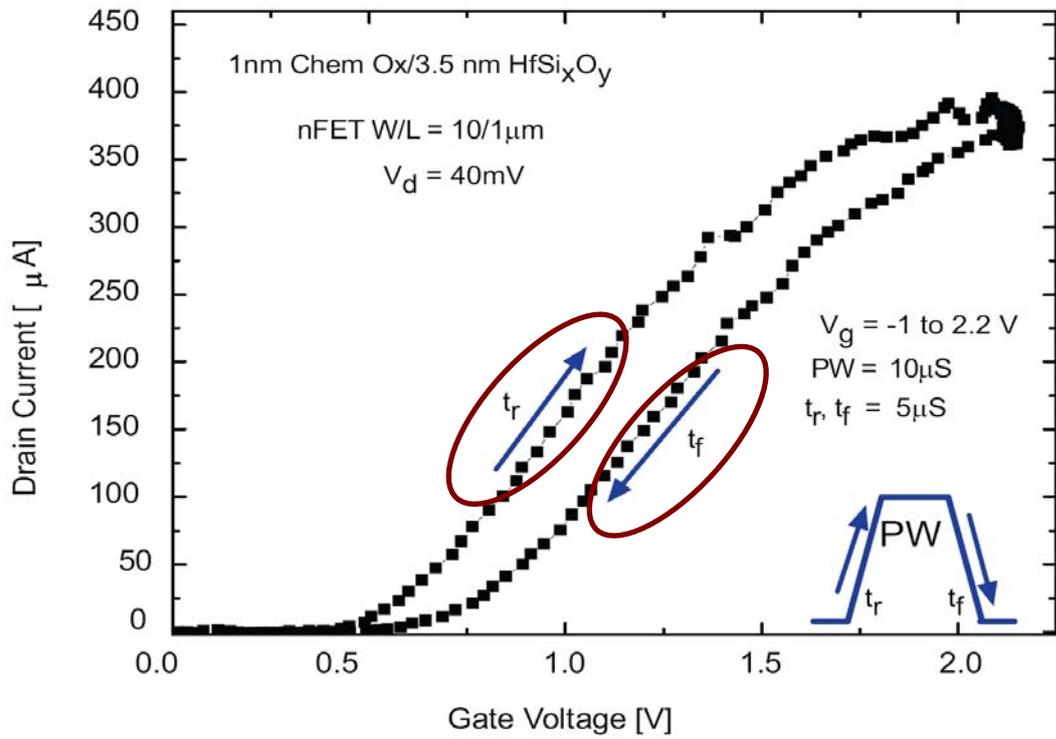


圖 3. VG-ID for High-K Transient 量測

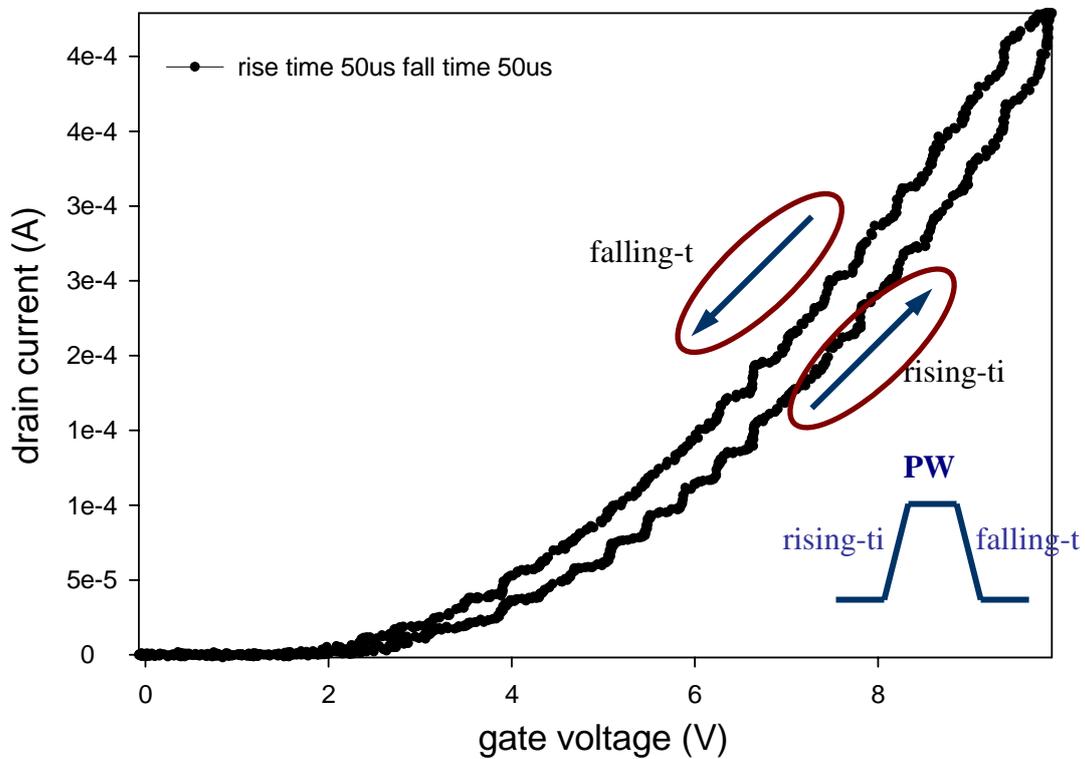


圖 4. VG-ID for N-type Poly-si TFT 量測

3. 比較不同 PGU 1 電壓對 VG - ID 圖之影響

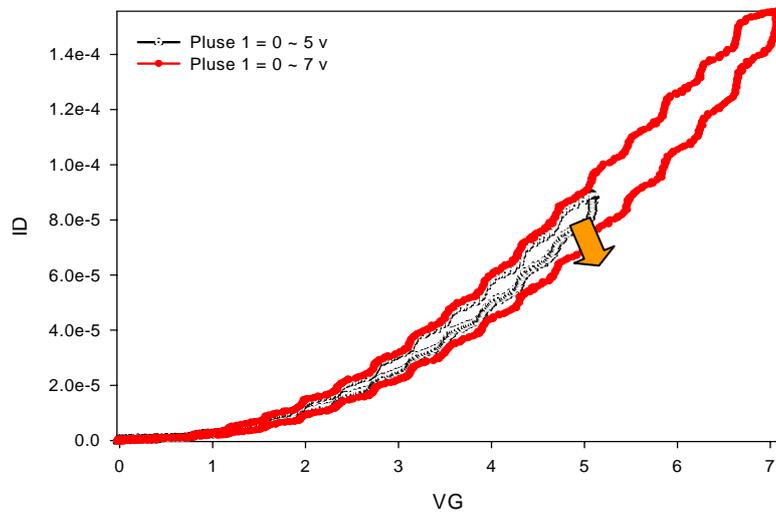


圖 5. VG-ID for different PGU1 voltage

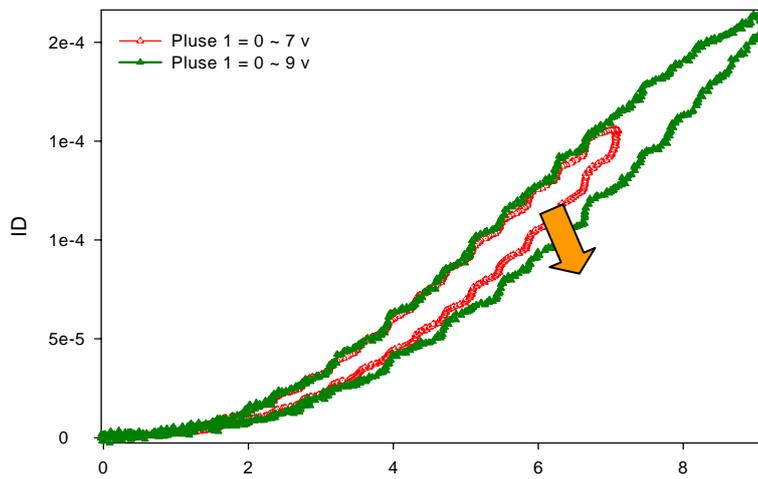


圖 6. VG-ID for different PGU1 voltage

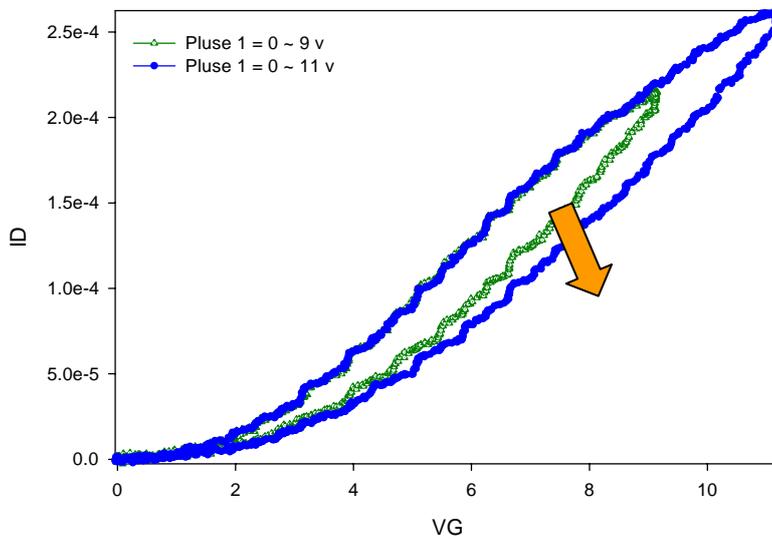


圖 7. VG-ID for different PGU1 voltage

★ In N-type Poly-si TFT Device

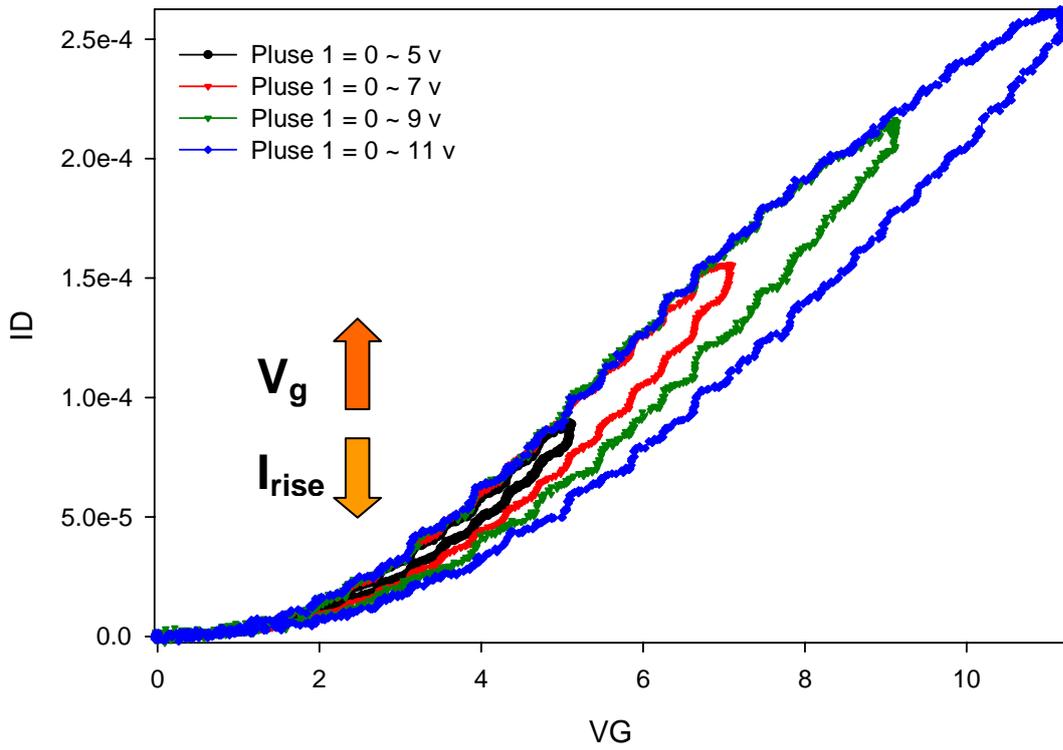


圖 8. VG-ID for different PGU1 voltage

★ In High-K Device

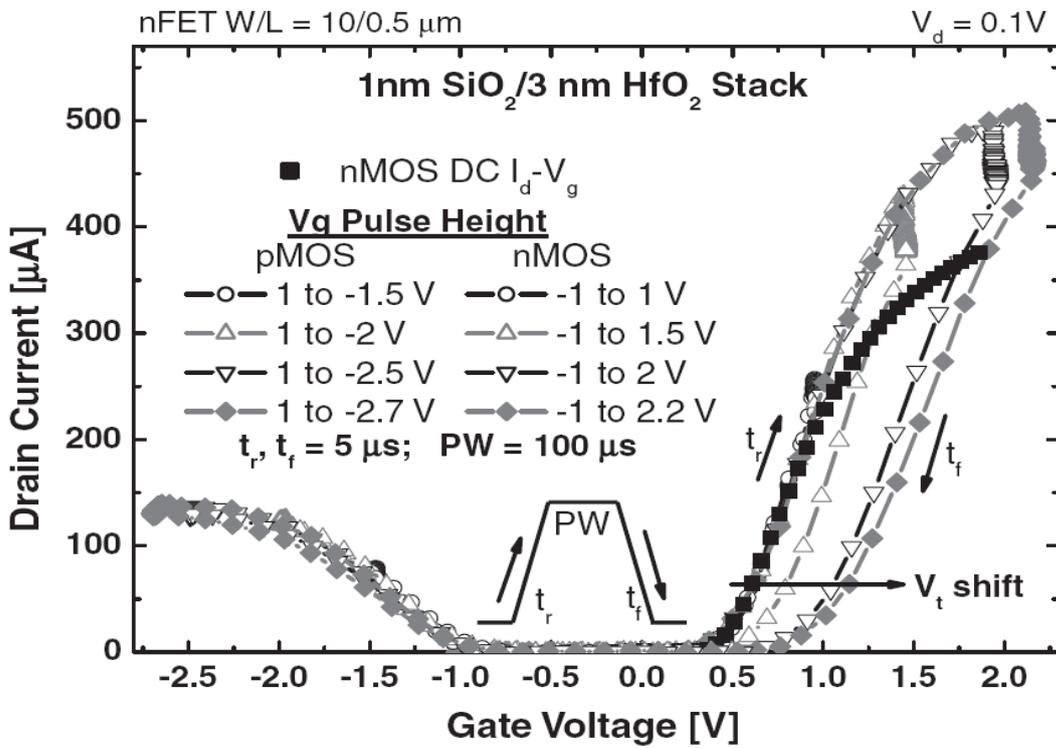


圖 9. VG-ID for different PGU1 voltage

4. 比較不同 Pulse 條件下對 VG - ID 圖之變化

(a)

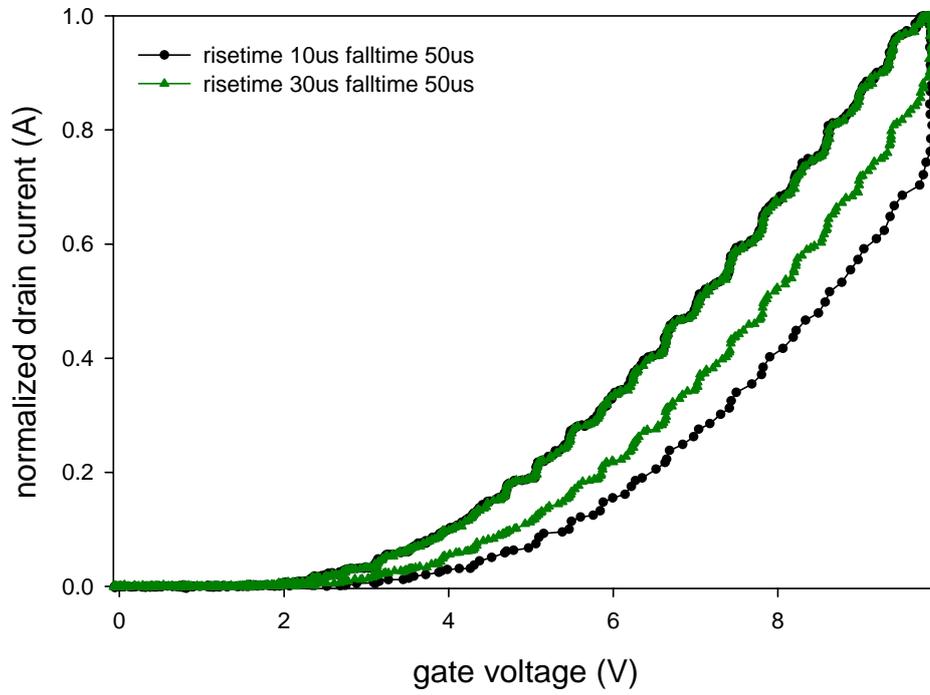


圖 10. VG-ID for different rising-time

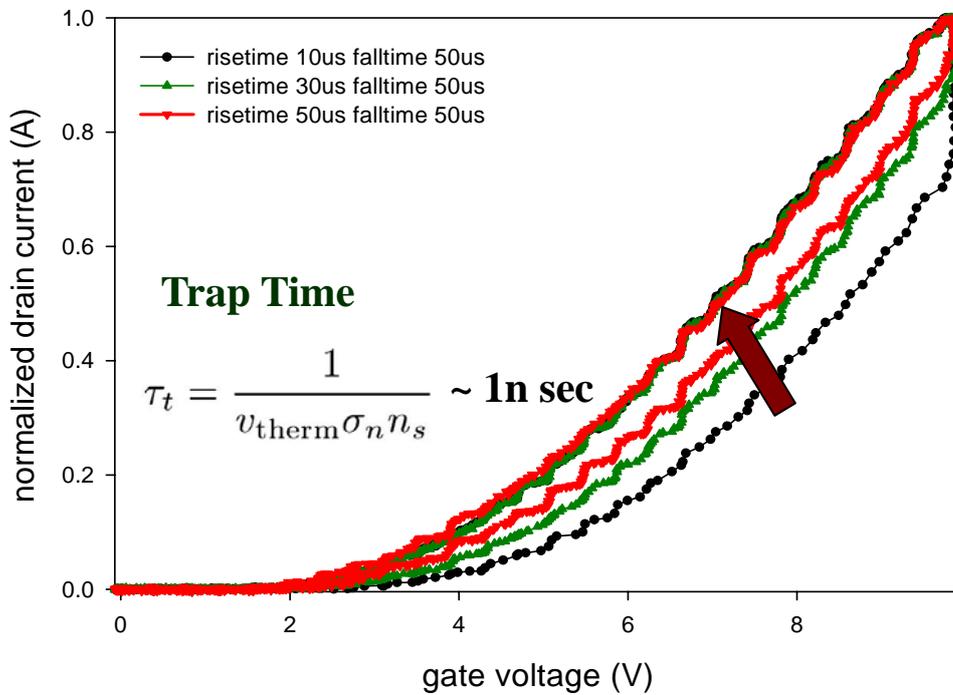


圖 11. VG-ID for different rising-time

(b)

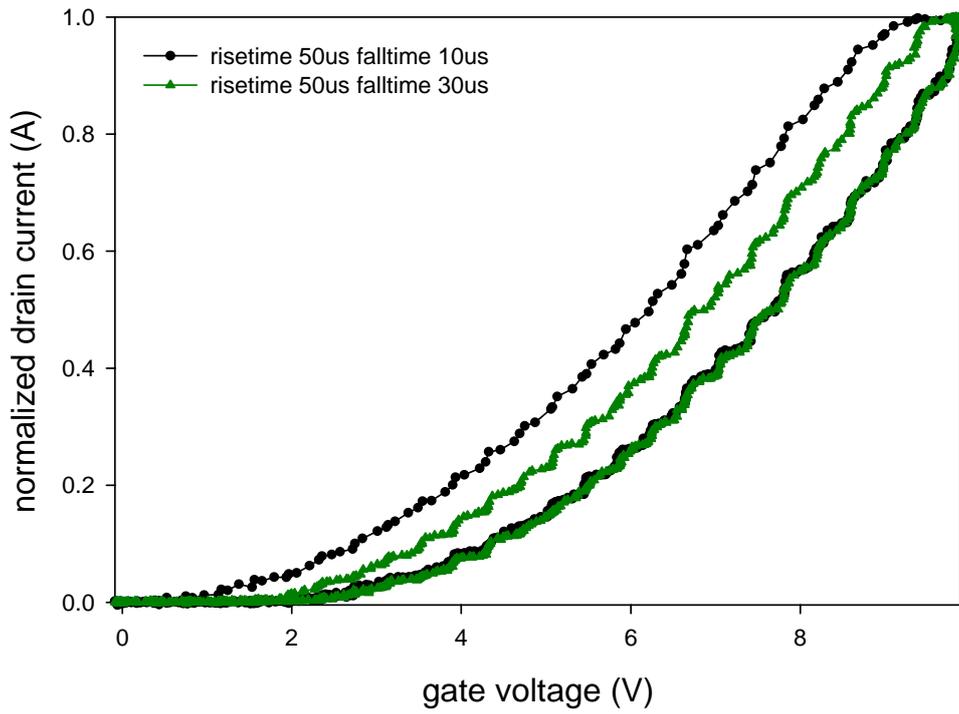


圖 12. VG-ID for different falling-time

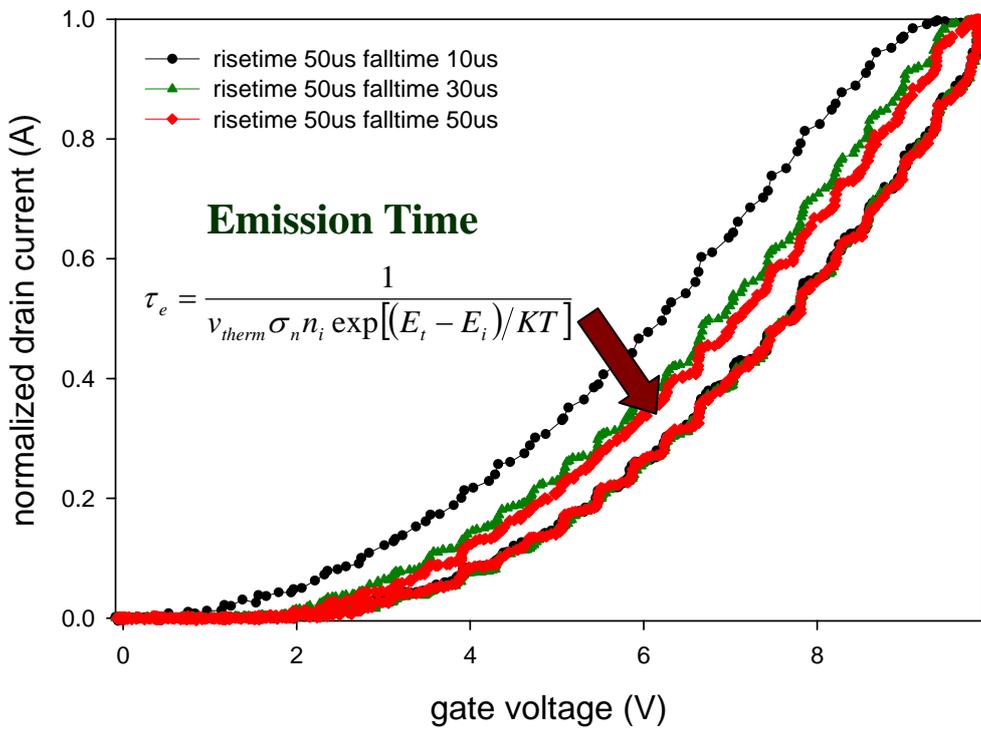


圖 13. VG-ID for different falling-time

5. N-type Poly-Si TFTs 在 AC stress 後的變化情形

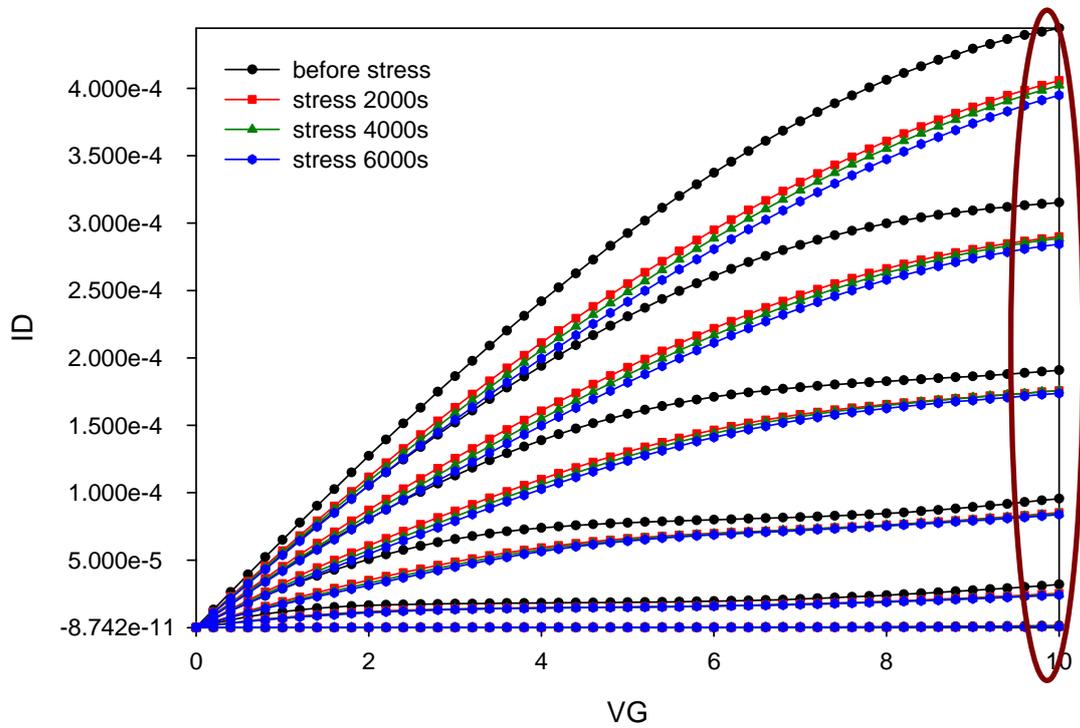


圖 14. VD-ID for room temperature stress and measured

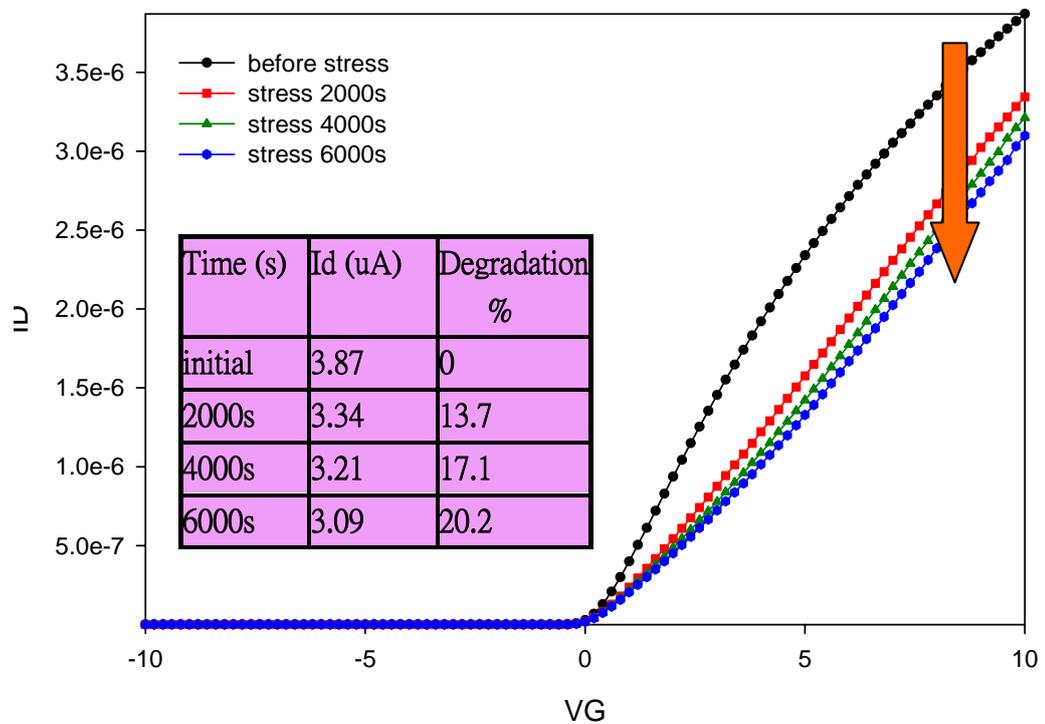


圖 15. VG-ID for room temperature stress and measured

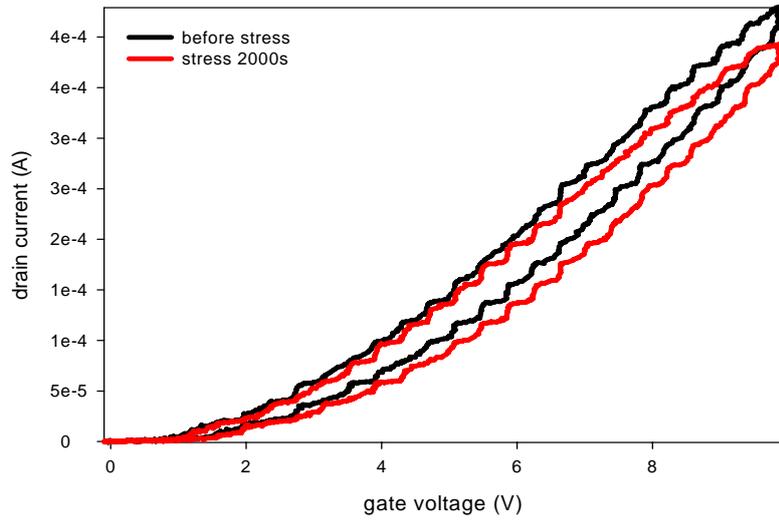


圖 16. VG-ID room temperature stress and measured

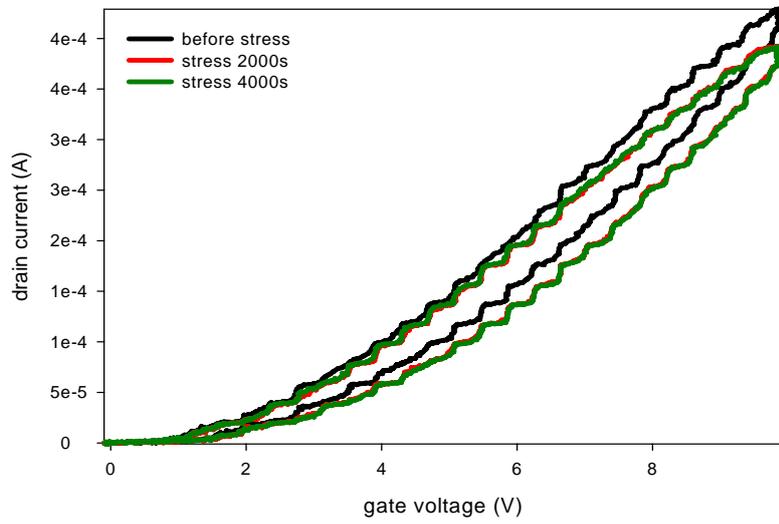


圖 17. VG-ID room temperature stress and measured

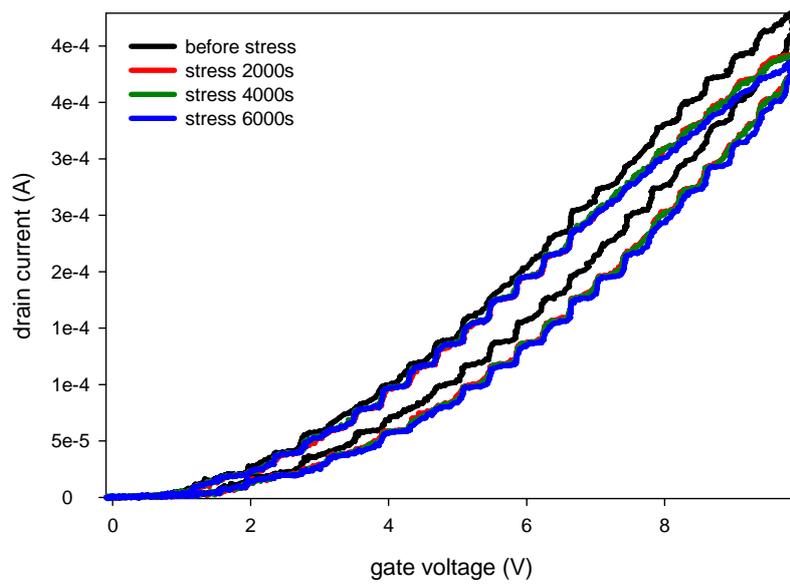


圖 18. VG-ID room temperature stress and measured

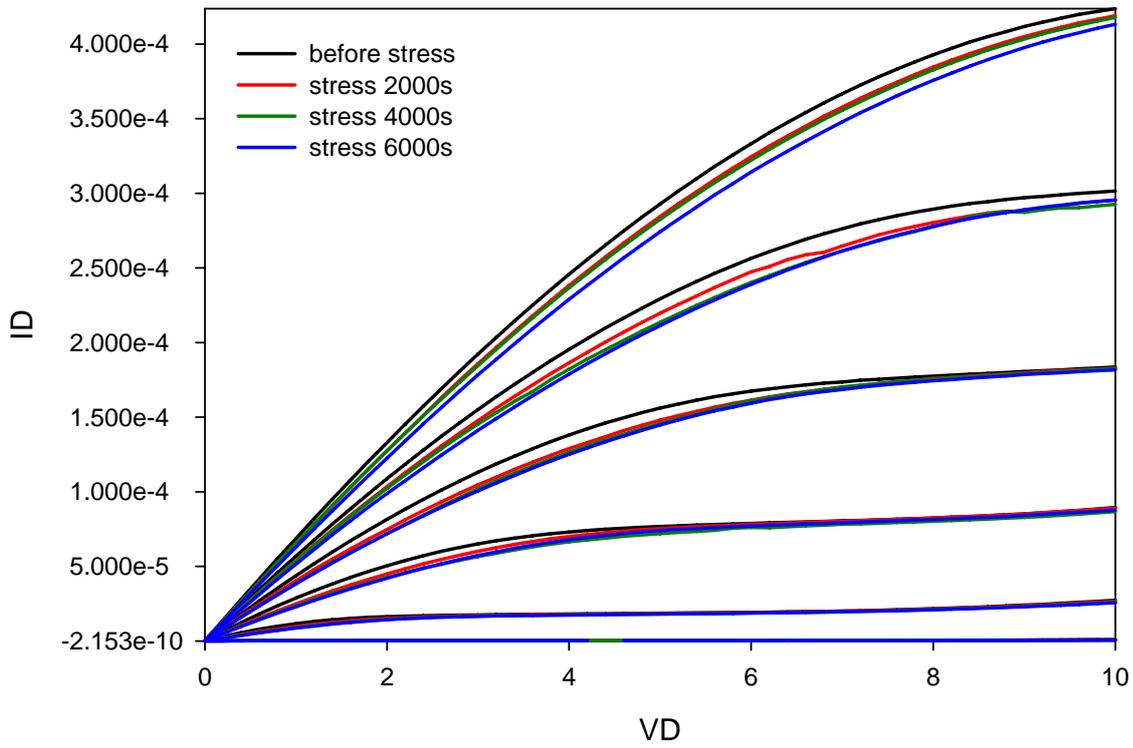


圖 19. VD-ID 100°C stress and measured

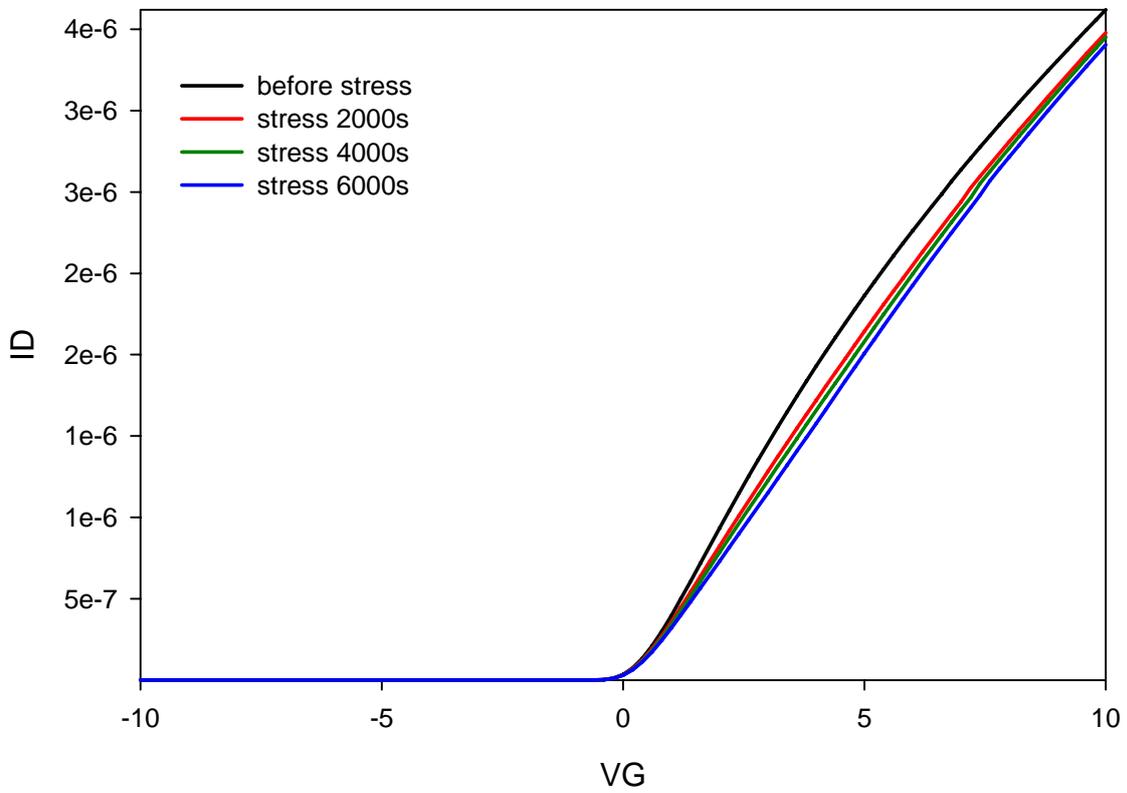


圖 20. VG-NID 100°C stress and measured

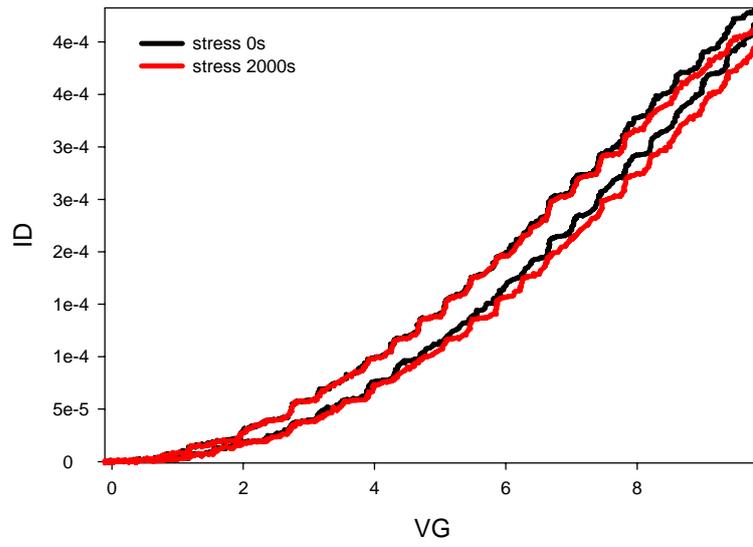


圖 21. VG-ID 100°C stress and measured

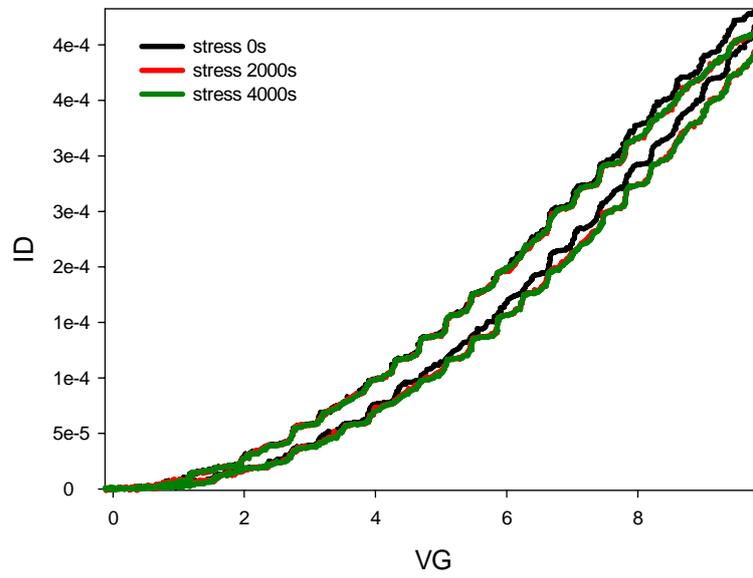


圖 22. VG-ID 100°C stress and measured

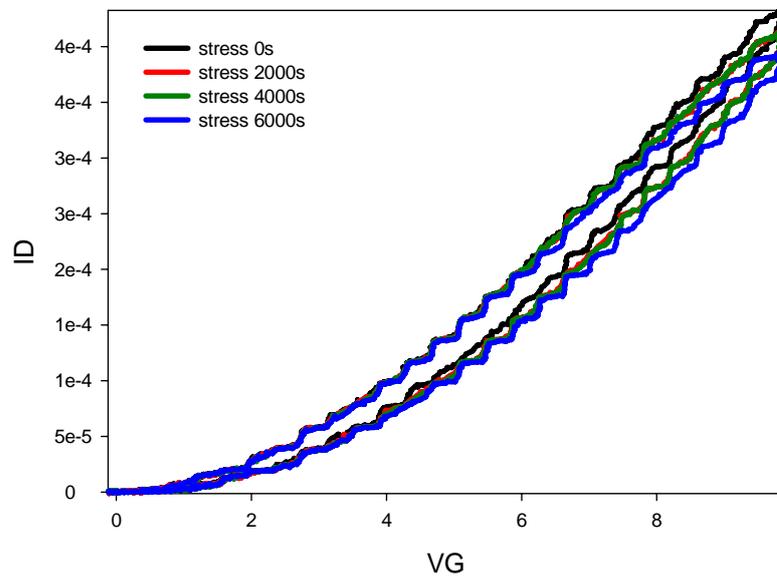


圖 23. VG-ID 100°C stress and measured

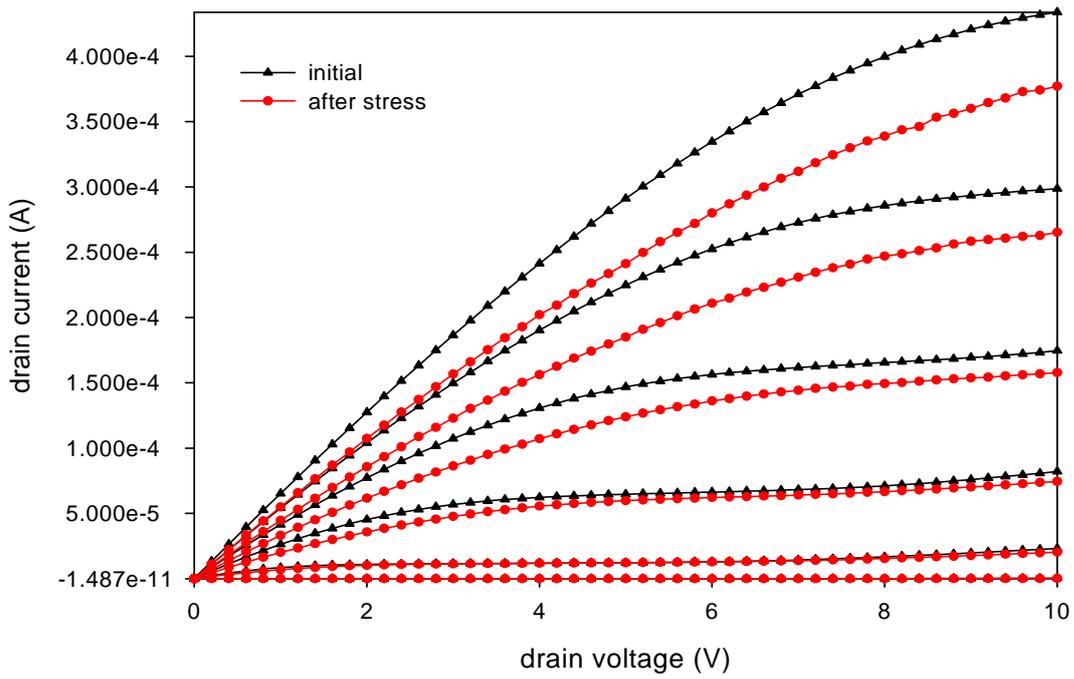


圖 24. VD-ID 100°C stress and 30°C measured

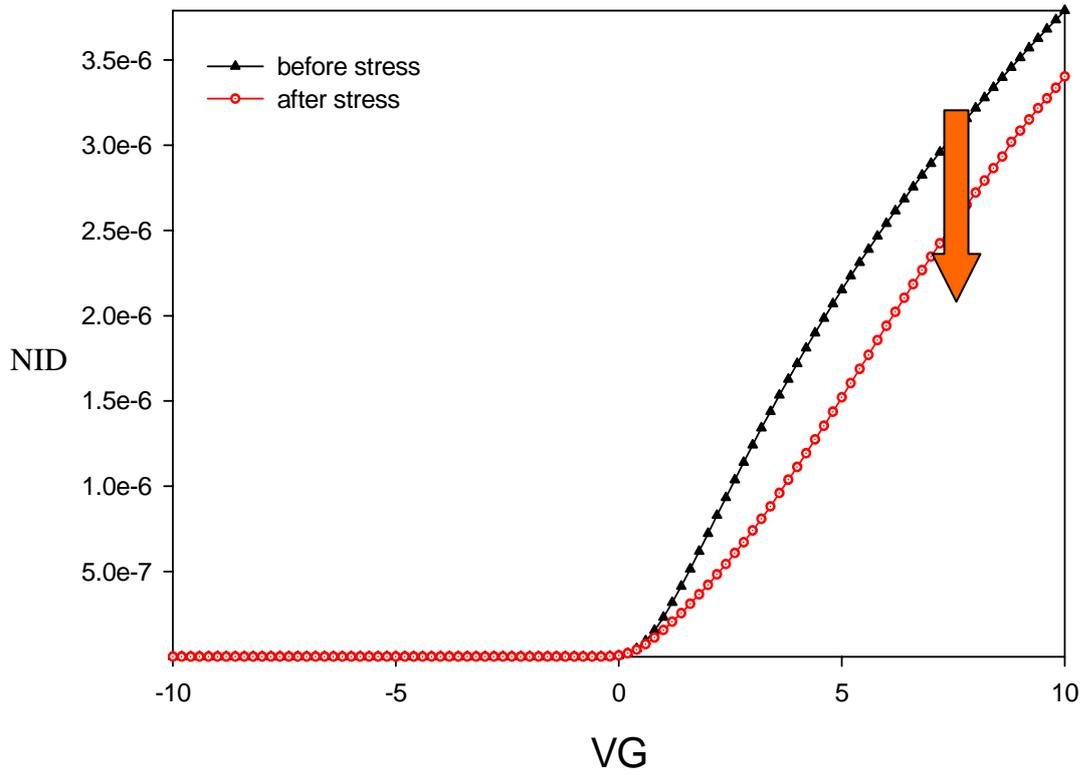


圖 25. VG-NID 100°C stress and 30°C

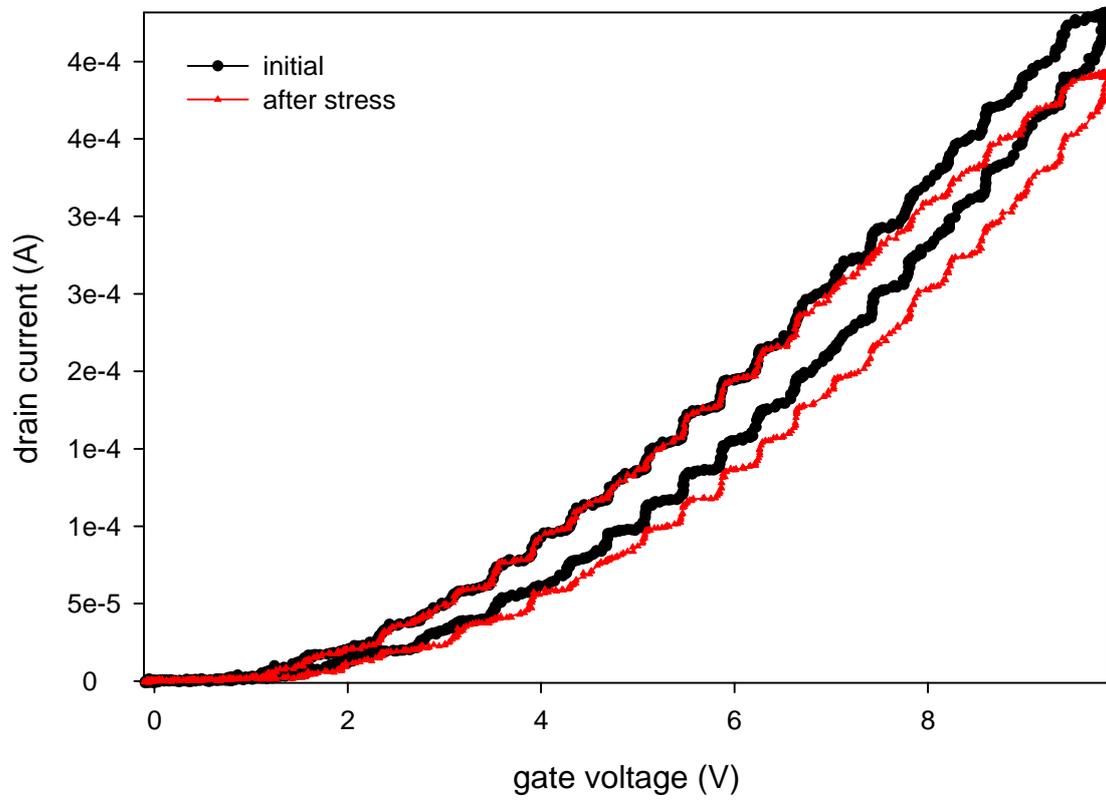


圖 26. VG-ID 100°C stress and 30°C measured

CHAPTER 4.

結論:

1. 利用同樣的 Transient 的量測方式可以了解到不同得元件結構 (High- K、N-type Poly-si TFT)對電性所造成的影響。再利用給予不同的 PGU1 電壓可以觀察出載子在通道區的移動情形。最後利用 AC stress 產生缺陷，改變不同的 stress 時間與升溫下量測，可以了解載子被缺陷捕獲，或是從缺陷內發射出來的現象與機制，這樣可以觀察到在傳統 DC 偏壓下量測所不能發現到的暫態現象。

未來展望:

目前國內正積極投入光電產業的研發，尤其平面顯示器的發展更是刻不容緩，是台灣繼晶圓後下一個具有世界競爭力的產業，所以顯示器的元件開發與製程技術相關都迫切需要的，未來產業需要這一方面人才也是可以被預期的，學生藉著本專題研究，配合研修課程的知識與相關學術文獻之查閱，著重於元件的量測技術與物理模型分析，也期許自己未來能更加努力學習、研究，對於固態應用領域與技術發展有所貢獻。

References

1. S.M Sze . “Semiconductor Devices Physics and Technology 2/E” .WILEY.
2. HONG XIAO 著 ; 羅正忠 張鼎張 譯 ; 半導體製程技術導論 ; 歐亞
3. 施敏 著 ; 黃調元 譯 ; 半導體元件物理與製作技術 ; 國立交通大學
4. Donald A. Neamen. “Semiconductor Physics & Devices, 2/E” .McGraw-Hill Inc
5. Min-Cheol Lee , Juhn-Suk Yoo and Min-Koo Han , ELECTRONICS LETTERS 28th February 2002 vol.38 No.5 “Low temperature polysilicon TFT with counter-doped lateral body terminal”
6. Chadwin D. YOUNG , Yuegang ZHAO , Michael PENDLEY , Japanese Journal of Applied Physics Vol. No. 4B , 2005 ” Ultra-SHORT Pulse Current-Voltage Characterization of the Intrinsic Characteristics of High-k Device”
7. Mobile Display Business Group , Sony Corporation , 4-14-1 Asahi-cho , Atsugi , Kanagawa 243-0014 , Japan , Japanese Journal of Applied Physics Vol. 46 No.6A 2007 “Surface

Potential-Based Polycrystalline Silicon Thin-Film
Transistor Model”

8. 國立中山大學 電機工程學系碩士論文 林佳盛” 複晶矽薄膜電晶體之可靠度分析與劣化機制探討”
9. 國立中山大學 物理學系專題報告 林育仕” 複晶矽薄膜電晶體在靜態與動態 stress 下的電性分析與機制探討”