



國立中山大學 物理學系

專題報告

High k/metal gate 金氧半場效電晶體

熱載子可靠度研究

**The Studying of  
Hot Carrier Induced Trapping  
of High k/Metal Gate MOSFETs**

專題生：陳鈞罄 童仲帆 撰

指導教授：張鼎張 博士

中華民國一百年一月

# High k/metal gate 金氧半場效電晶體 電性分析與熱載子可靠度研究

專題生：陳鈞罄 童仲帆

指導教授：張鼎張 博士

國立中山大學

物理學系

## [摘要]

隨著 MOSFET 尺寸不斷的微縮，氧化層厚度越作越薄，以藉以提昇電晶體的效能，而當製程技術達到 45nm 以下，則勢必等效氧化層厚度則必須等於或小於 1.1nm，而此要求則會導致量子穿隧現象，導致閘極漏電大幅上升，此導致微縮面臨到瓶頸，因而高介電材料 High k 就逐漸佔有一席之地。

而本專題討論 high k/metal gate 金氧半場效電晶體熱載子可靠度的研究，分析在不同 Ti 濃度及不同厚度下，hot carrier stress 後，其  $I_d$ 、 $S$ 、 $S$ 、 $GIDL$ 、 $V_T$  的變化，並且為了證實我們的推論，分析各種不同接法的 C-V 圖。

# 目錄

## 一、前言

1.1、研究背景 .....	1
1.2、研究動機 .....	4

## 二、理論基礎

2.1、氧化層與介面缺陷 .....	6
2.2、Charge pumping ( $I_{cp}$ ) .....	7
2.2.1 Charge pumping 發展由來	
2.2.2 Charge pumping 的方法與原理	
2.3、high k 的 mobility .....	9

## 三、Experiment

3.1、量測樣品 .....	11
3.2、儀器簡介 .....	12
3.3、參數萃取 .....	15
3.4、Reliability — hot carrier stress.....	17
3.4.1 IO device.....	17
3.4.2 IO v.s sp device.....	23
3.4.3 $Ti_aN_{1-a}$ v.s $Ti_cN_{1-c}$ ( $a>b$ ) .....	27

<b>四、 Conclusion .....</b>	<b>30</b>
<b>五、 References .....</b>	<b>31</b>

# Introduction

## 1.1 研究背景

1960 年第一個金氧半場效電晶體於貝爾實驗室由 kahng 和 Atalla 發明，而當時電晶體長度為 25um，其氧化層厚度為 100nm，1965 年 Gordon E. Moore 提出在科技不斷地進步的前提之下，每十八個月在相同的面積之下所容納的電晶體則倍增，隨著單位面積下電晶體數目增多，因此在短短的五十年間，閘極長度已小於 45nm，而閘極氧化層已小於 12nm，並且 CPU 的數量已經超過 1 億。

金氧半場效電晶體(MOSFET)擁有較低製作成本、較低功率消耗、較小體積的優點，而其最重要的是金氧半場效電晶體較容易微縮，微縮可以使得電晶體體積縮小因而增加包裝電晶體數量，MOSFET有一個重要的參數是電晶體內在延遲 (intrinsic delay,  $\tau$ )，其為在使用電晶體的簡單邏輯電路中最小開關延遲時間的量測，影響電晶體的反應時間，而微縮會增加元件反應速度，同時也降低供給電壓、增加電流值等如圖 1.1.2，但在微縮的同時， $V_T$ 也會跟著下降，此時漏電的情形會越來越嚴重如圖 1.1.3，故我們將 $V_T$ 調變使其上升如圖 1.1.4，所以若是考慮漏電的情形如圖 1.1.5，電流並不會隨著尺寸微縮而上升，此外在尺寸微縮的同時， $SiO_2$ 厚度不斷的縮小，由於device電場必須維持固定，當閘極厚度小於 12A會造成電子穿隧，使得閘極漏電流造成無謂的消耗，並且當 $SiO_2$ 與poly-si為介面時，實際量測出來的電容值會比理想電容值還要小，因為除了由gate厚度所算出來的電容外，實際上還有poly si的空乏區電容以及量子穿隧所形成的電容，故實際上電容為  $1/C_{TOT} = 1/C_{D,R} + 1/C_{G,D} + 1/C_{Q,M}$ 如圖 1.1.6，當氧化層不停微縮時，Q.M Thickness造成的影響越來越小，因此當尺寸到微縮一定值時，電容值會達到一定值而不再變小，故此物理上的厚度為我們微縮的限制，是我們必須解決的課題。

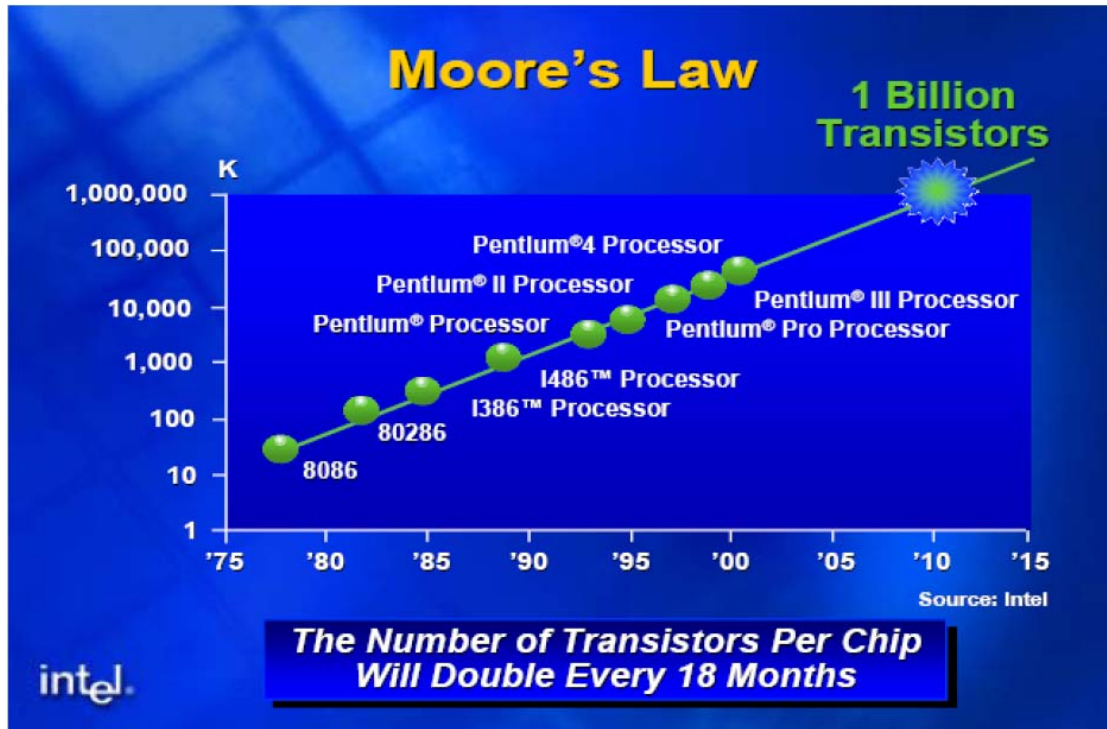


圖 1.1.1 電晶體數量的演進圖

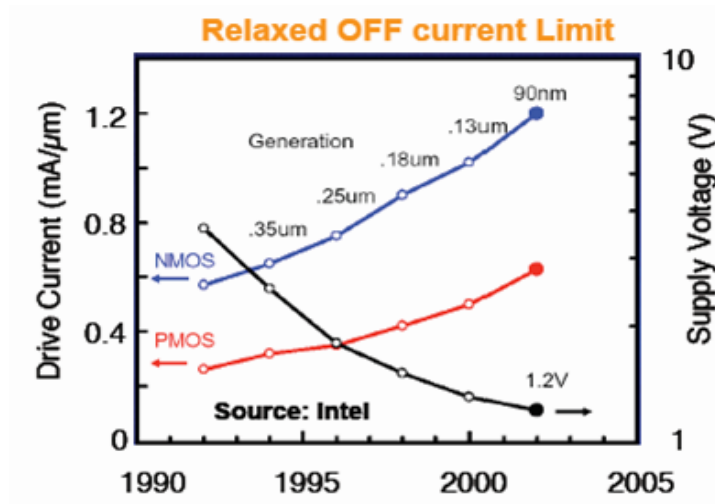


圖 1.1.2 尺寸微縮閘極電壓示意圖

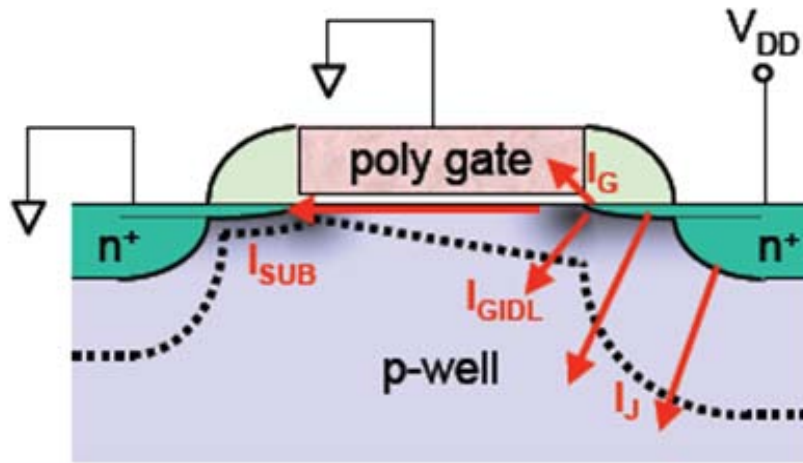


圖 1.1.3 MOSFET 漏電流示意圖

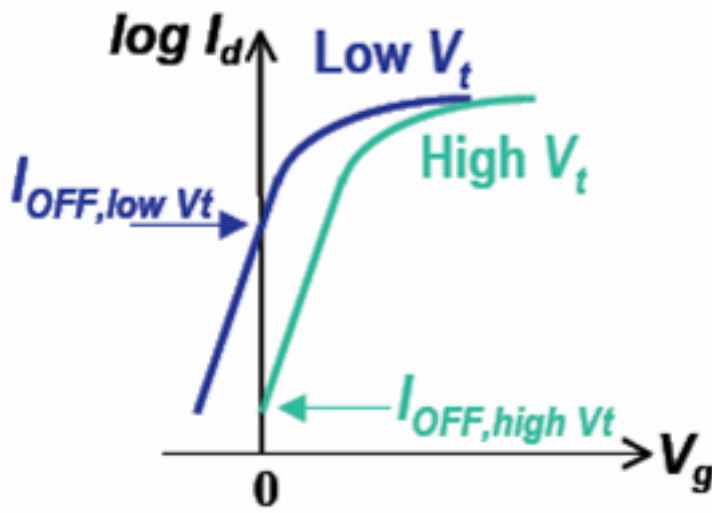


圖 1.1.4

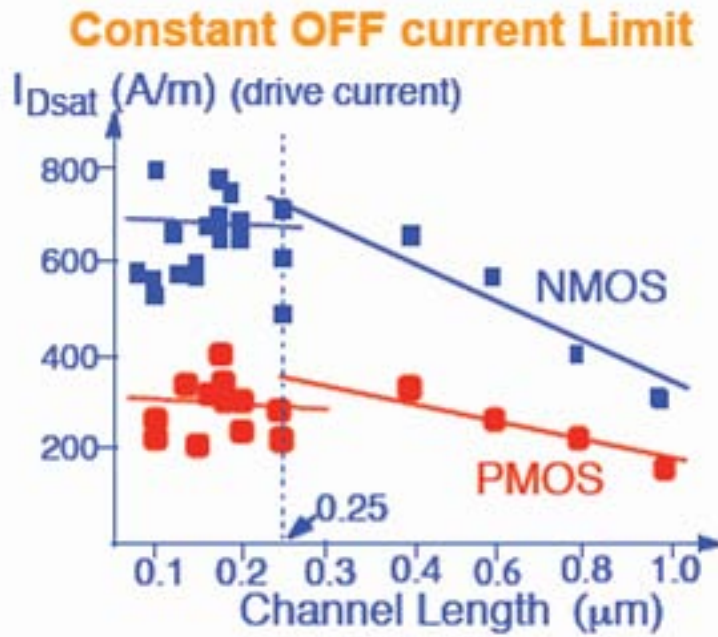
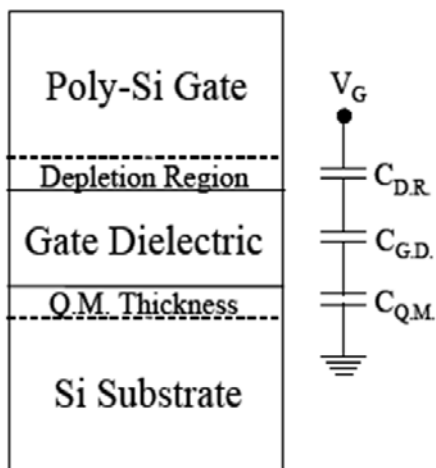


圖 1.1.5



$$EOT_{TOT} = EOT_{DR} + EOT_{G.D.} + EOT_{QM} \quad \text{圖 1.1.6}$$

## 1.2 研究動機

隨著MOSFET尺寸不斷微縮，為了提升閘極控制能力，閘極氧化層厚度也隨之縮小，當氧化層SiO<sub>2</sub>厚度小於12Å時，會達到量子穿隧的極限，導致閘極漏電隨之增加，因此以SiO<sub>2</sub>做為氧化層的傳統逐漸碰到挑戰。而另一方面，我們在提升元件性能時，其中閘極電流(I<sub>dON</sub>)是決定元件性能的重要參數，I<sub>dON</sub>正比於

$\frac{C_{ox}\mu}{L}$ ，其中C<sub>ox</sub>為氧化層的電容，μ為載子速度，L為通道長度，又C<sub>ox</sub> = ε<sub>r</sub>ε<sub>0</sub>/t<sub>ox</sub>，

其中t<sub>ox</sub>為SiO<sub>2</sub>厚度，ε<sub>0</sub>為真空下的介電常數，ε<sub>r</sub>為相對介電常數又稱為k值，由



此可知在 $I_{dON}$ 不降低的前提下， $k$ 越大則 $SiO_2$ 厚度即可越大，因此我們可使用High  $k$ 材料來解決閘極漏電的問題。由圖1.2.1可知，傳統 $SiO_2$ 有很大的band gap (9eV)， $k$ 值卻很小(3.9eV)，今天我們為了解決閘極漏電的問題要使用High  $k$ 材料，但是我們不能使用 $TiO_2$ ，因為雖然 $TiO_2$ 的 $k$ 值較大，然而它的band gap很小，會使得有更多的閘極漏電產生，因此我們選擇使用 $HfO_2$ ，它的band gap為6eV、 $k$ 值約為25。不過使用High  $k$ 材料也會產生許多問題，根據paper [2]我們知道High  $k$ 材料中，remote phonon scattering會降低mobility( $\mu$ )如圖1.2.3，因此我們使用metal gate來解決此問題，因為metal gate有許多電子，能使mobility( $\mu$ )上升如圖1.2.4，而屏蔽了remote phonon scattering效應所降低的mobility( $\mu$ )，因此我們使用 $TiN$ 來當metal gate。在此報告中，我們將探討不同 $Ti_xN_{1-x}$  metal gate的電性以及可靠度分析。

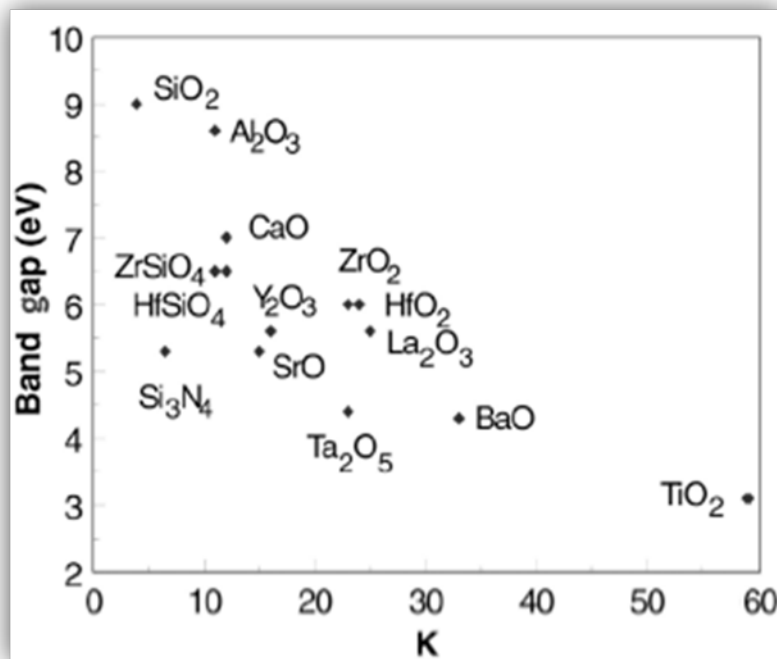


圖 1.2.1 不同材料其對應之 K 值與能帶障礙

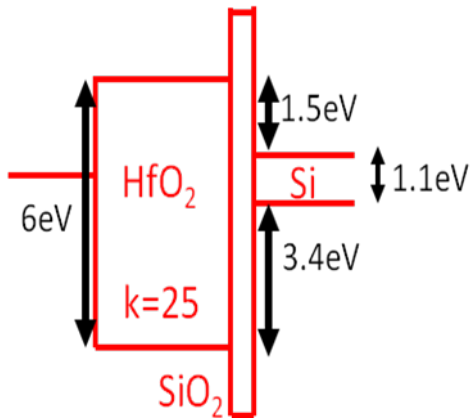


圖 1.2.2

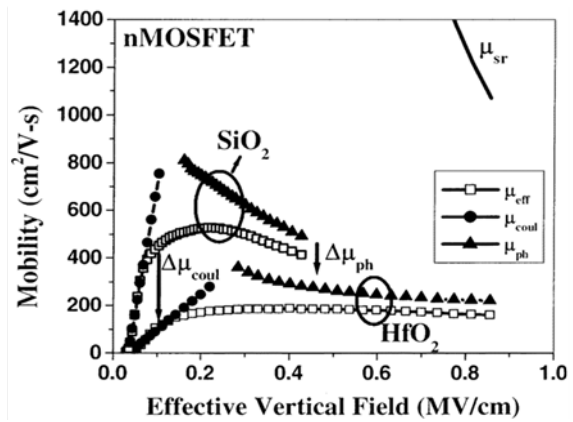


圖 1.2.3 使用 High K 材料會使 mobility 降低

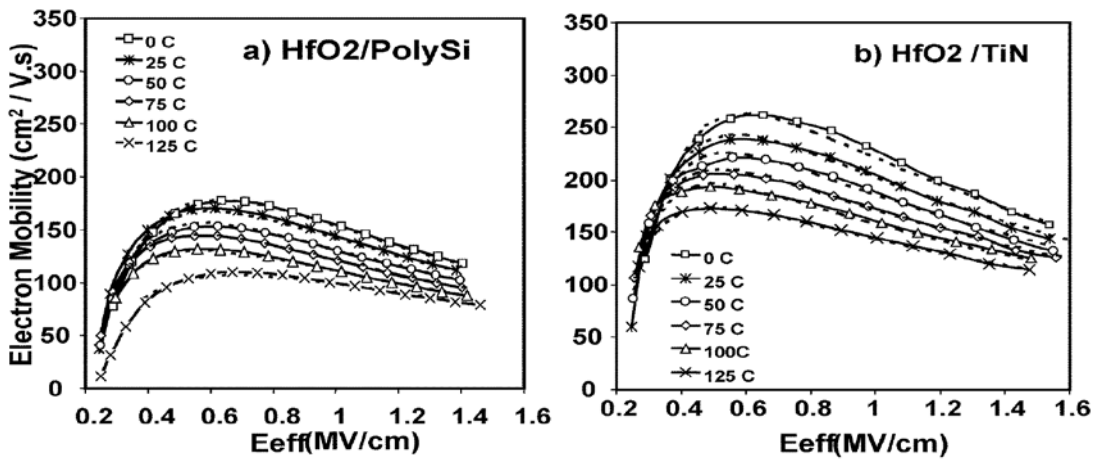


圖 1.2.4 使用 metal gate 的 mobility( $\mu$ )較傳統 Poly Si 大

## Foundation of Theory

### 2.1 氧化層與介面缺陷

當MOS電晶體受到電應力施加通常會造成氧化層的電荷或介面缺陷的產生，由MOS電晶體C-V特性曲線得知，所填補的氧化層電荷會引起C-V特性曲線平移，而假如電荷存於與poly-si/SiO<sub>2</sub>界面X距離處，則可以由公式得知，平帶電壓

偏差量為

$$\Delta V_{FB} = -\frac{XQ_{OX}}{d_{OX}C_{OX}}$$

而之所以會造成其偏差量為當SiO<sub>2</sub>與Si能隙不同，造成電子可能填補於矽的禁止能隙中，其介面缺陷主要造成的原因為SiO<sub>2</sub>和Si界面的鍵結不連續。一般介

面缺陷大致可區分成兩種型態，其一為施體的介面缺陷，其特性為當電子填補介面缺陷時候是電中性，但是當電子沒有填補時則帶正電，而另一種為受體的介面缺陷，其特性為當電子填補介面缺陷時候是負電，但是當電子沒有填補時則不帶電。

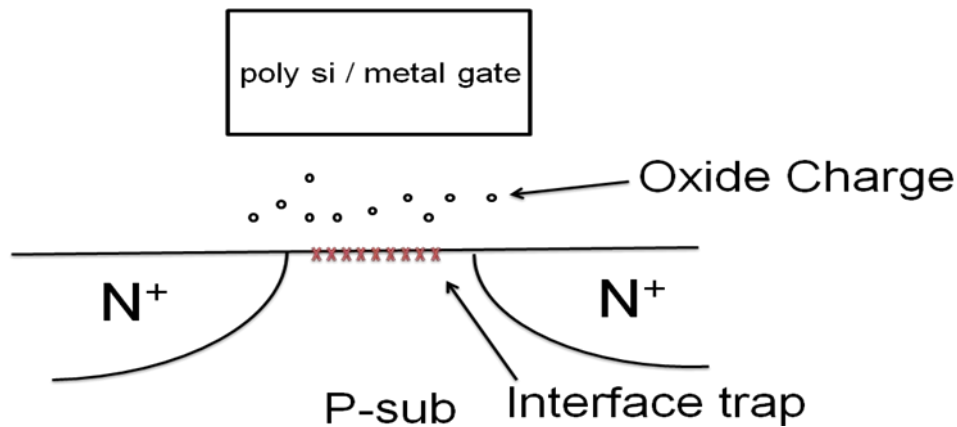


圖 2.1.1

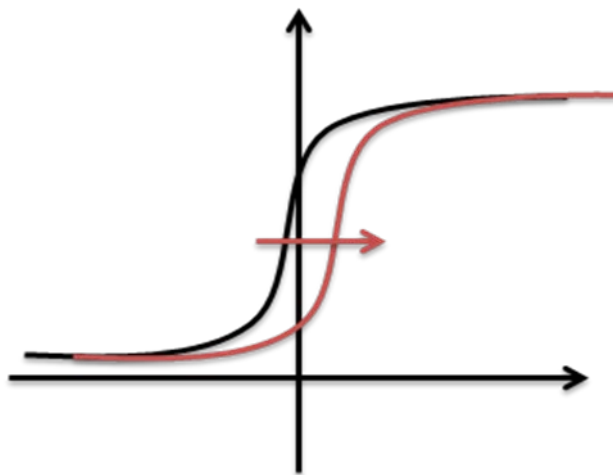


圖 2.1.2

## 2.2 Charge pumping ( $I_{cp}$ )

Charge pumping 最早是由 Bruglar 和 Jespers 兩位所提出，主要是利用電子電洞於表面複合過程針對界面缺陷作一些測量。於 1969 年，Bruglar 和 Jespers 發現當在閘極施加一連續脈衝的同時，矽基板有電荷的流動，而其研究結果認為此電流為介面缺陷的少數載子與矽基板的多數載子不斷複合所引發。

### 2.2.1 Charge pumping 的方法與原理

由於介面缺陷影響了元件操作速率以及汲極電流等問題，我們在閘極端給予脈衝，source 端和 drain 端接地，接著量測 bulk 的電流。由圖 2.1.1 當脈衝位於 a 點時 MOSFET 處於反轉層，電洞被推離通道表面，電子由 Source 端和 Drain 端流出累積在通道表面，電子會與介面缺陷產生複合，而脈衝位於 b 時 MOSFET 處於聚積，較深層的介面缺陷或是時間不足而導致沒辦法被捕捉的電子則會流向 source 或是 Drain 端，而位於靠近傳導帶介面缺陷電子會受到熱影響而躍升到傳導帶進而流向 S/D，電洞則由矽基板流向表面通道，去複合被介面缺陷捕捉的電子如圖 2.2.2，當下一個循環時，電子又會去複合被介面缺陷捕捉的電洞，如此反覆循環 bulk 則會不停偵測到電流。

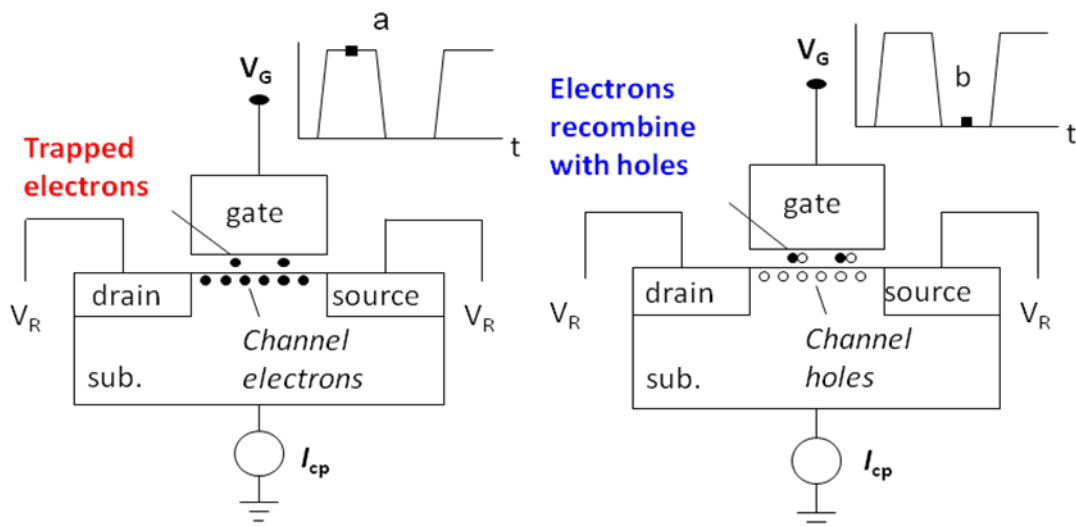


圖 2.2.1

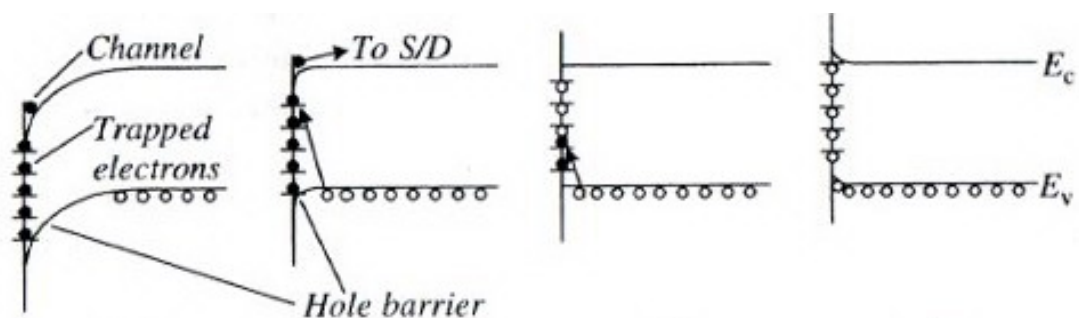


圖 2.2.2

而我們實驗量測方法為固定 base 電壓逐漸加大電壓振幅如圖 2.2.3，(a)當脈衝電壓  $V_g < V_{fb}$ ，表面不會造成反轉，因而不會有電子被捕捉的情形，body 不會傳遞電子來遞補被捕捉的電子，(b)當脈衝電壓  $V_g > V_{fb}$ ，表面造成反轉，而隨著電壓增加，反轉電子就會增加，故電子被捕捉在介面缺陷的機會就會增加， $I_{cp}$  上升，(3)當脈衝電壓  $V_g > V_t$ ，表面反轉電子數量達到最大，因而  $I_{cp}$  不再上升。

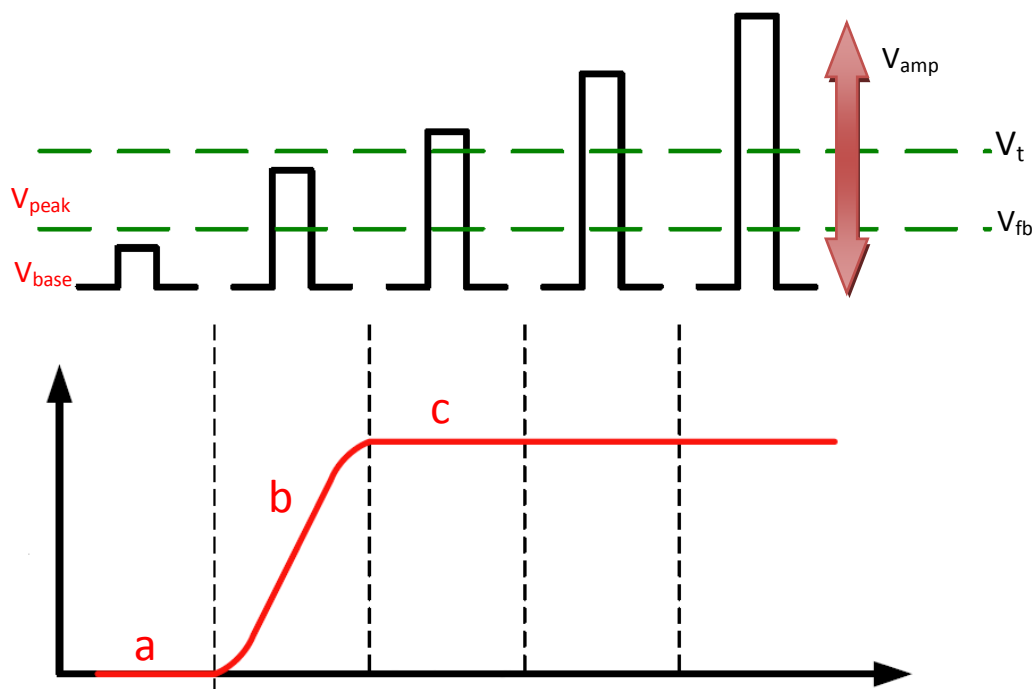


圖 2.2.3

### 2.3 high k 的 mobility

High k與si基板會產生較大的介面缺陷而導致mobility降低，故在High k和si基本中間會沉積  $1\text{nmSiO}_2$ ，使介面缺陷減少。但High k與 $\text{SiO}_2$ 仍有介面缺陷而形成離子鍵帶負電，Si與 $\text{SiO}_2$ 則是介面鍵結不完全會形成電洞帶正電如圖 2.3.1， $\text{SiO}_2$ 界面上形成dipole，因而導致mobility的下降，在圖形 2.3.2 可初略的觀察到high k與gate鍵結會影響mobility，而這影響稱為remote-surface-roughness(表面散射)，high k與 $\text{SiO}_2$ 鍵結會產生dipole，而這產生原因稱為remote coulomb scattering(庫倫散射)。

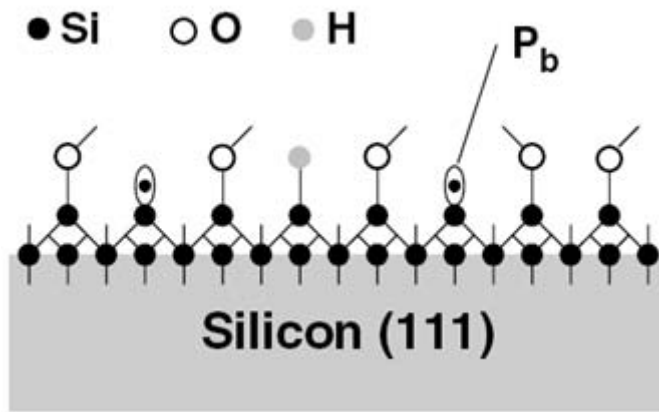


圖 2.3.1

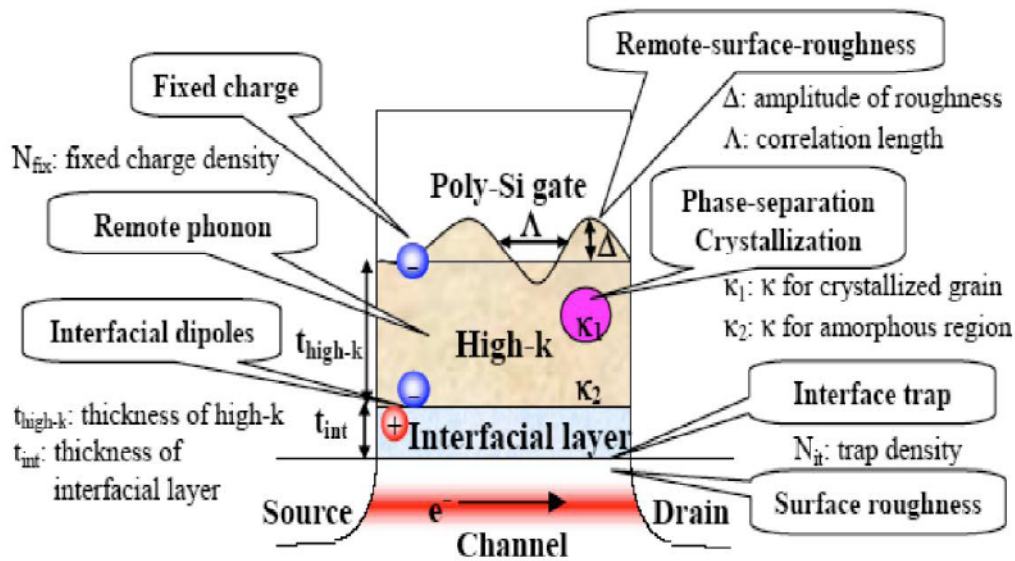


圖 2.3.2

High k有較高的介電質是因為high k鍵結屬於離子鍵，不同於SiO<sub>2</sub>是屬於共價鍵，因此High k像是由許多的dipole所組成，而dipole受到溫度的影響而震盪則會產生電磁波，進而造成remote phonon scatter而使得mobility下降，再加上Si會造成聲子散射、表面散射、庫倫散射，因此total mobility如公式(2.3)，而high k與poly-si的remote phonon scatter影響較大，故使用metal gate降低remote phonon scatter，因為metal可藉由鏡像金屬電荷將電磁波抵銷，remote phonon scatter的效果會降低，所以High k要搭配metal gate。

$$\frac{1}{\mu_{tot}} = \frac{1}{\mu_{PH-Si}} + \frac{1}{\mu_{SR}} + \frac{1}{\mu_C} + \frac{1}{\mu_{PH-HK}} \quad (2.3)$$

# Experiment

## 3.1 量測樣品

量測樣品為聯華電子的 high k/metal gate，結構如圖 3.1，此種樣品有三種不同的 TiN 濃度，並且氧化層也有三種不同的等效厚度，因此我們就是對這種三種不同的 TiN 濃度做電性量測。

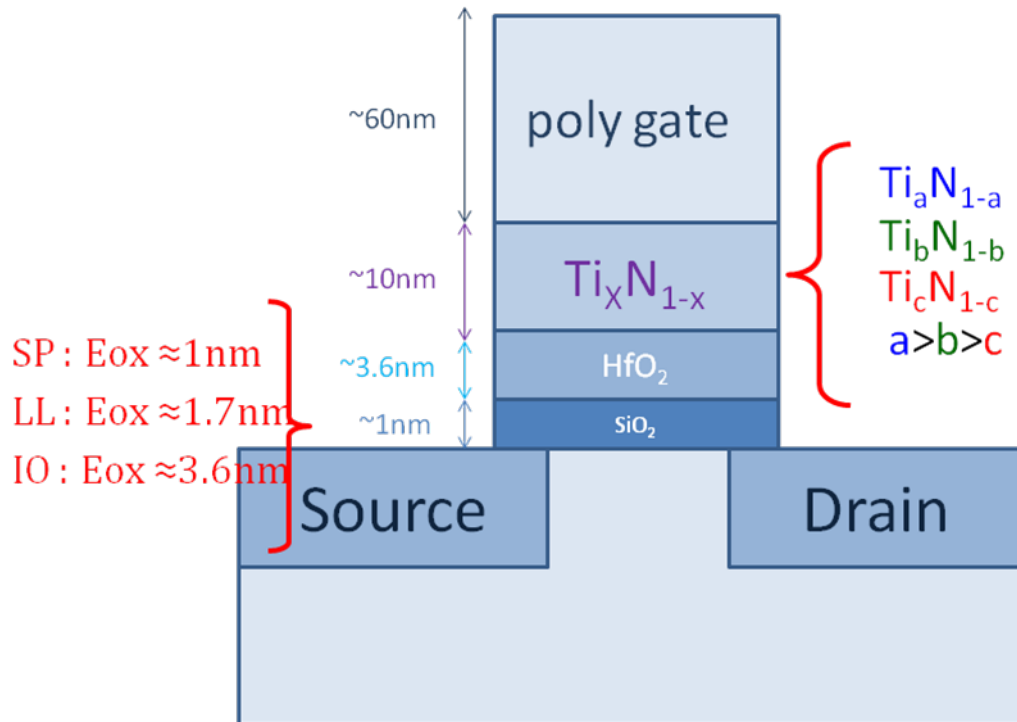


圖 3.1.1

SP n 型

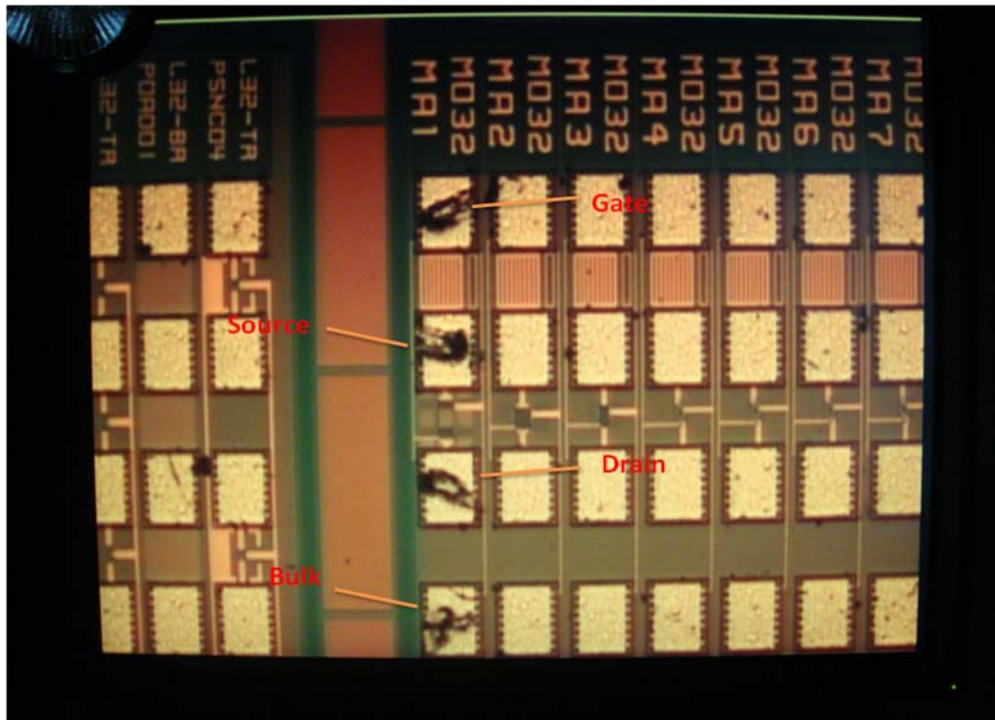


圖 3.1.2

IO n 型

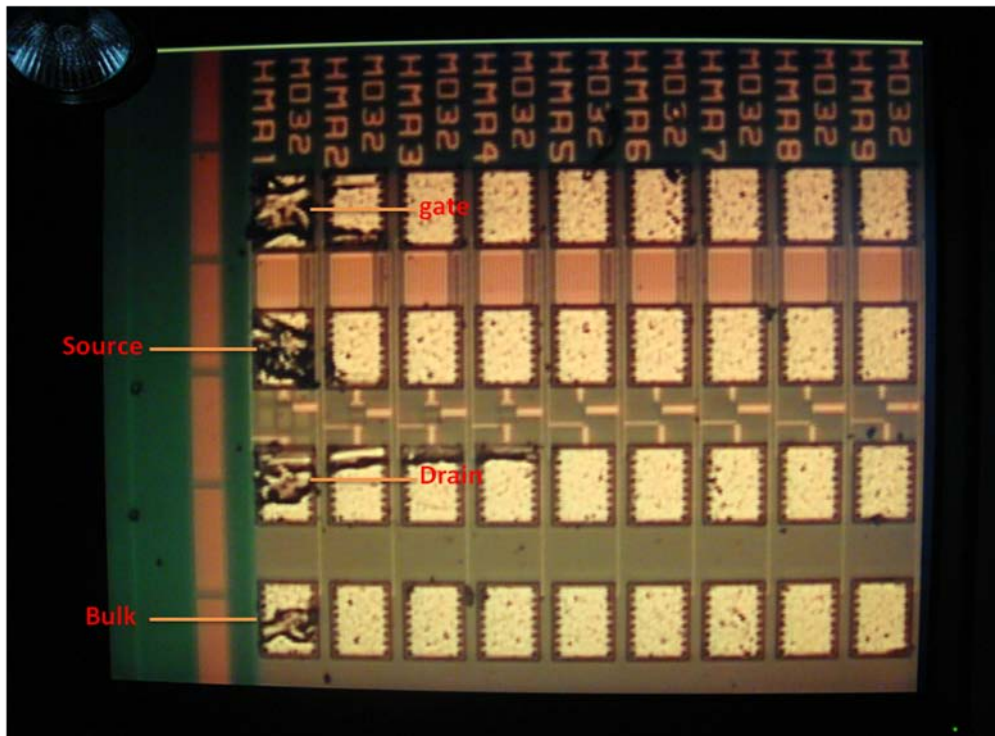


圖 3.1.3

### 3.2 儀器介紹

#### 1. 電性分析量測平台：

包括顯微鏡、燈光、CCD、螢幕、針座、探針即可升溫的 Hot Chuck



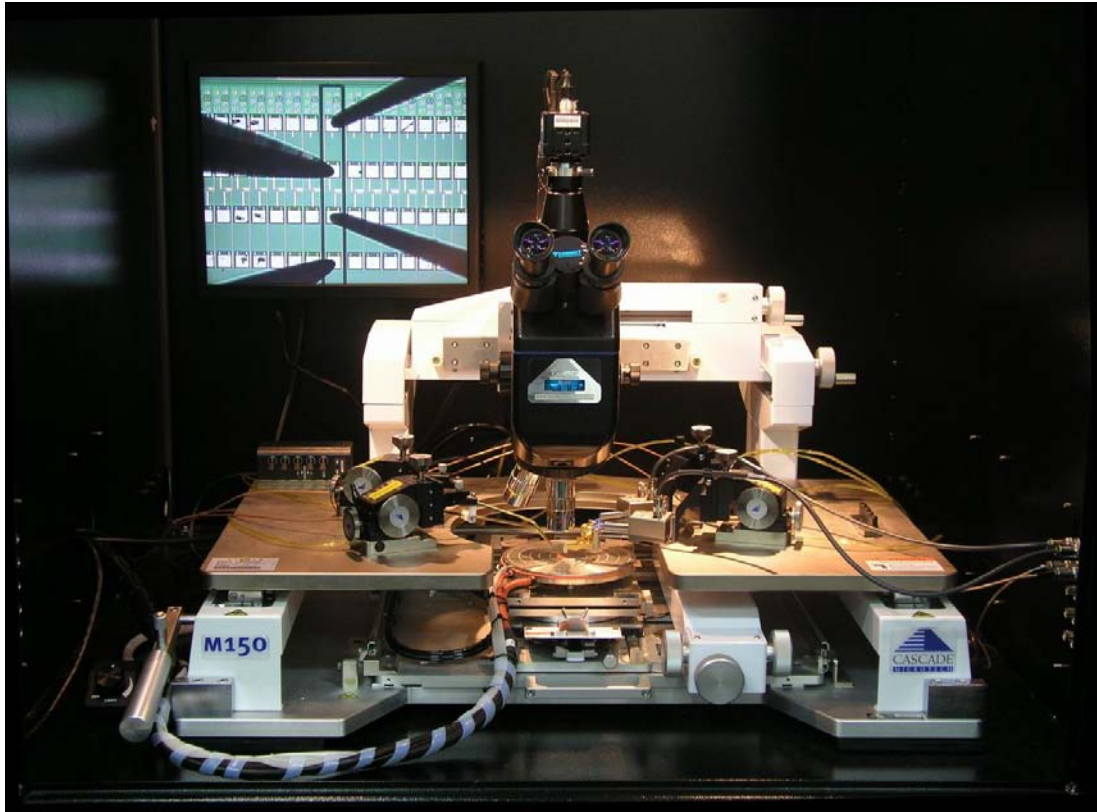


圖 3.2.1

電性分析平台

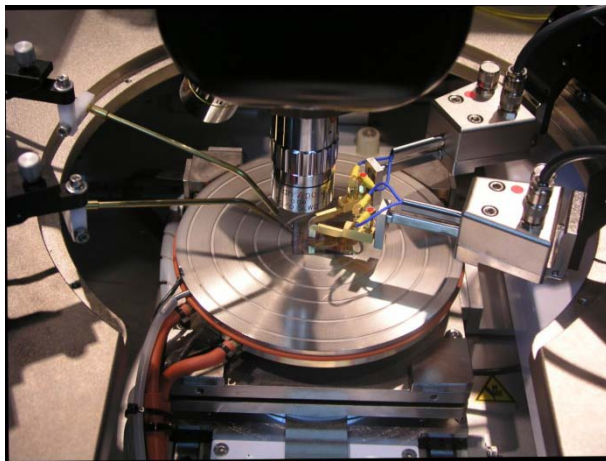


圖 3.2.2



圖 3.2.3

switch



圖 3.2.4

B1500



圖 3.2.5

4200

### 3.3 參數萃取

- MOSFETs 的汲極電流可由下述公式表示：

$$I_D = \mu_{FE} C \frac{W}{L} [(V_G - V_{TH})V_D - \frac{1}{2}V_D^2] \quad (3.3.1)$$

其中

$C$ ：絕緣層每單位面積的電容，

$W$ ：通道寬度                       $V_G$ ：閘極電壓

$L$ ：通道長度                       $\mu_{FE}$ ：載子遷移率

$V_{TH}$ ：臨限電壓                       $I_D$ ：汲極電流

$V_D$ ：汲極電壓

- 當 $V_D$ 電壓極小於 $V_G - V_{TH}$  (即， $V_D \ll V_G - V_{TH}$ )且 $V_G > V_{TH}$ 時,(3.3.1)可簡化為

$$I_D = \mu_{FE} C_{ox} \frac{W}{L} (V_G - V_{TH})V_D \quad (3.3.2)$$

- 傳導  $g_m$  (transconductance)，被定義為

$$g_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D=const.} = \frac{WC_{ox}\mu_{FE}}{L} V_D \quad (3.3.3)$$

- 載子遷移率  $\mu_{FE}$  (the field-effect mobility) 則為

$$\mu_{FE} = \frac{L}{C_{ox} W V_D} g_m \quad (3.3.4)$$

- 臨界擺幅  $SS$  (the minimum subthreshold swing) 為

$$SS = \frac{V_G(10^{-9}) - V_G(10^{-11})}{2} \quad (3.3.5)$$

其意思是當  $I_D$  電流為  $10^9$  A 時的  $V_G$  值與  $I_D$  電流為  $10^{-11}$  A 時的  $V_G$  值的數值差在跨兩個 order 時，其  $V_G$  變化量為多少，可看出該電晶體的切換能力。

- 臨限電壓  $V_{TH}$  (threshold voltage)

利用  $V_G$ - $I_D$  (Linear) 圖，取  $g_m$  最大值時，所對應到的  $I_D$  電流值，在該電流值上作切線，而該切線所擷取到的  $V_G$  值即是臨限電壓。

### 3.4 Reliability — hot carrier stress

#### 3.4.1. $Ti_aN_{1-a}$ IO

我們利用 hot carrier 分析 n-MOSFET 之可靠度，量測  $V_D=3$ 、 $3.2$ 、 $3.4$ 、 $3.6V$  下，其  $I_B$  對  $V_G$  的關係圖如圖 3.4.1.1，我們可由圖看出，當  $V_G$  小於約  $1.3V$  時，其  $I_B$  會隨  $V_G$  電壓上升而下降，造成 drain 端 overlap 處的能帶強烈彎曲，如圖 3.4.1.2 所示，電子可經穿隧效應穿過價帶到達導帶，而往 Drain 跑，同時電洞往 body 流動而形成 GIDL(Gate Induced Drain Leakage)，並且  $V_D$  電壓越大電壓差越大，所造成的 GIDL 也會越大。

當  $V_G$  漸漸加大，能帶圖如圖 3.4.1.3，電子能跨過障礙來到 Drain 端，此時電子會遇到很大的電場而被加速，將會在此處游離碰撞而形成電子電洞對，因此  $V_G$  越大電子濃度越大，故  $I_B$  越大，但當  $V_G$  更大時，將造成 pinch off 區域的電場降低，此時游離碰撞機率減小，所以  $I_B$  便隨之減少，而  $V_D$  越大時電場會越大，因此游離碰撞機率較高，故  $I_B$  較大。接著我們將以  $V_D=3V$  下，其  $I_B$  最大值的  $V_G$  為 hot carrier stress 條件來進行可靠度分析。

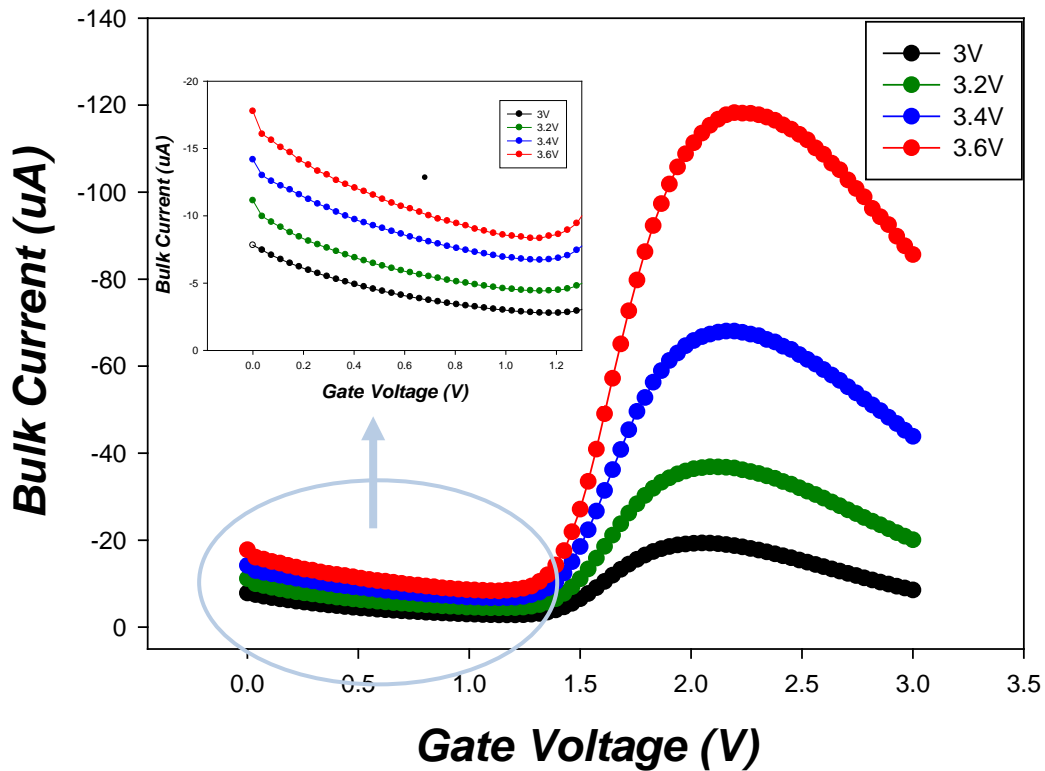


圖 3.4.1.1 利用 charge pumping 的原理，量測不同 VD 下，其 IB 對 VG 的關係

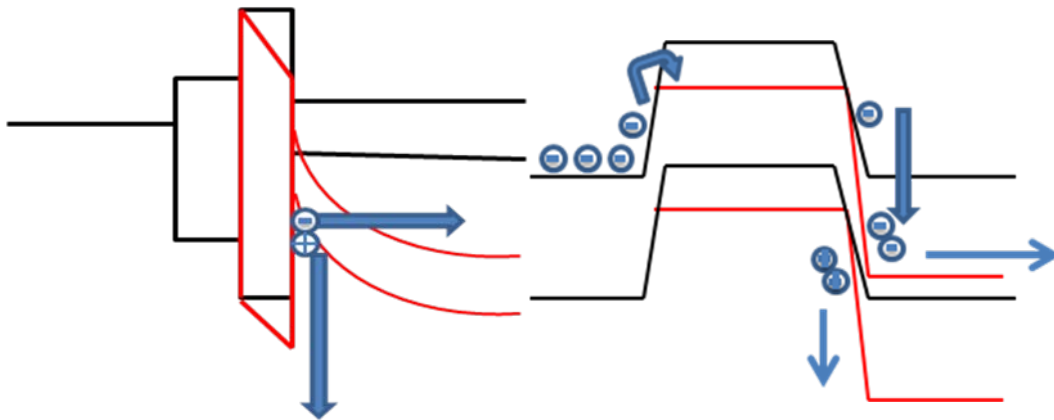


圖 3.4.1.2 VG 小於約 1.3V 時能帶圖

圖 3.4.1.3 VG 大於約 1.3V 時能帶圖

首先我們將Ti<sub>a</sub>N<sub>1-a</sub>之IO(厚度較厚)以上述實驗所得，在VD=3V下，其IB最大值的VG的stress條件來進行hot carrier可靠度分析。由線性區圖 3.4.1.4 可看出，ID 以及GM皆會隨著stress時間而下降，並且將ID取log軸可看出S.S會隨著stress時間而變差。

# H I O

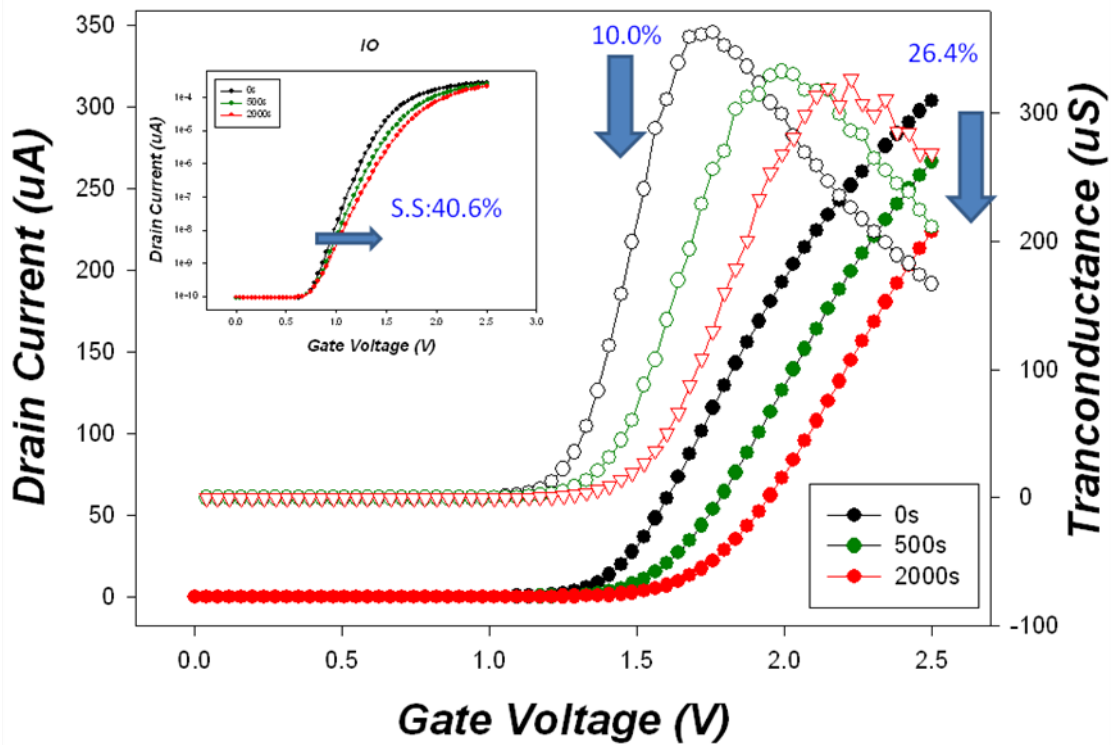


圖 3.4.1.4

接著我們量測  $V_D=2$  下的 IB 圖，我們發現 GIDL 電流會隨著 stress 時間而上升如圖 3.4.1.5，我們認為在 stress 過程中，Lucky electron 會注入靠近 drain 端的氧化層的介面處，使得氧化層能帶上升如圖 3.4.1.6，將電子穿遂的路徑縮短，因此電子更易穿遂，形成更多的電流，因此 GIDL 與  $I_D$  皆上升。

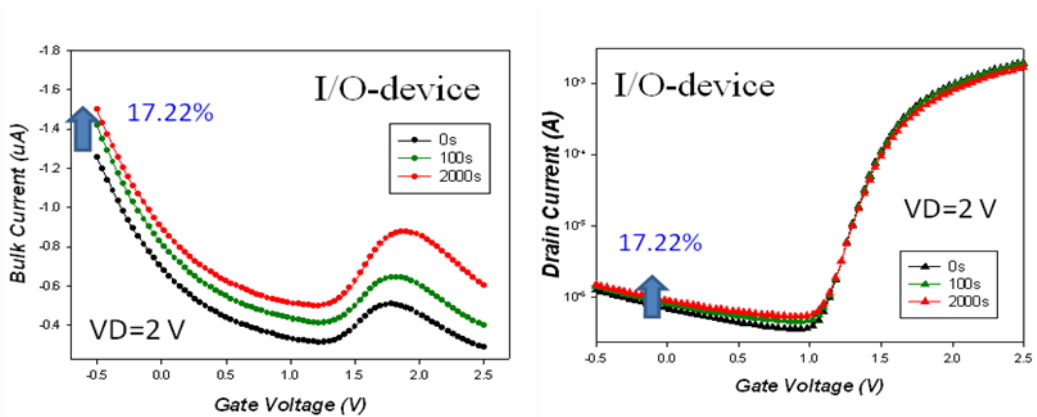
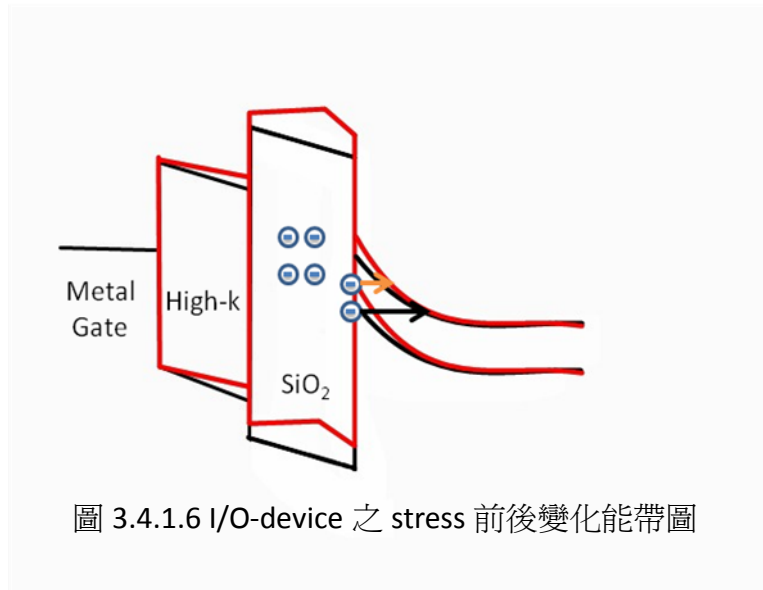


圖 3.4.1.5



若將 Source 端接地，Drain 端施加 2V 如圖 3.5.1.7(a) ，因為 GIDL 電流發生在 Drain 端，所以會受到注入在 Drain 端 overlap 處的電子影響，造成 VG 小於約 1.3V 時 GIDL 上升，而當 VG 大於約 1.3V 時，則是因為 stress 後鍵結變弱，游離碰撞的機率增加使得 IB 上升。若將 Drain 端接地，改由 Source 施加 2V 如圖 3.4.1.7(b) ，此時 GIDL 電流發生在 source 端，並不會受到注入在 Drain 端 overlap 處的電子影響，故此時量測到的 GIDL 不變，然而此時注入在 Drain 端的電子使得能帶抬升，造成 VT 上升，此外 ID 也因為庫倫散射影響而變小，降低了電子碰撞游離的機率，因此 IB 也跟著下降。



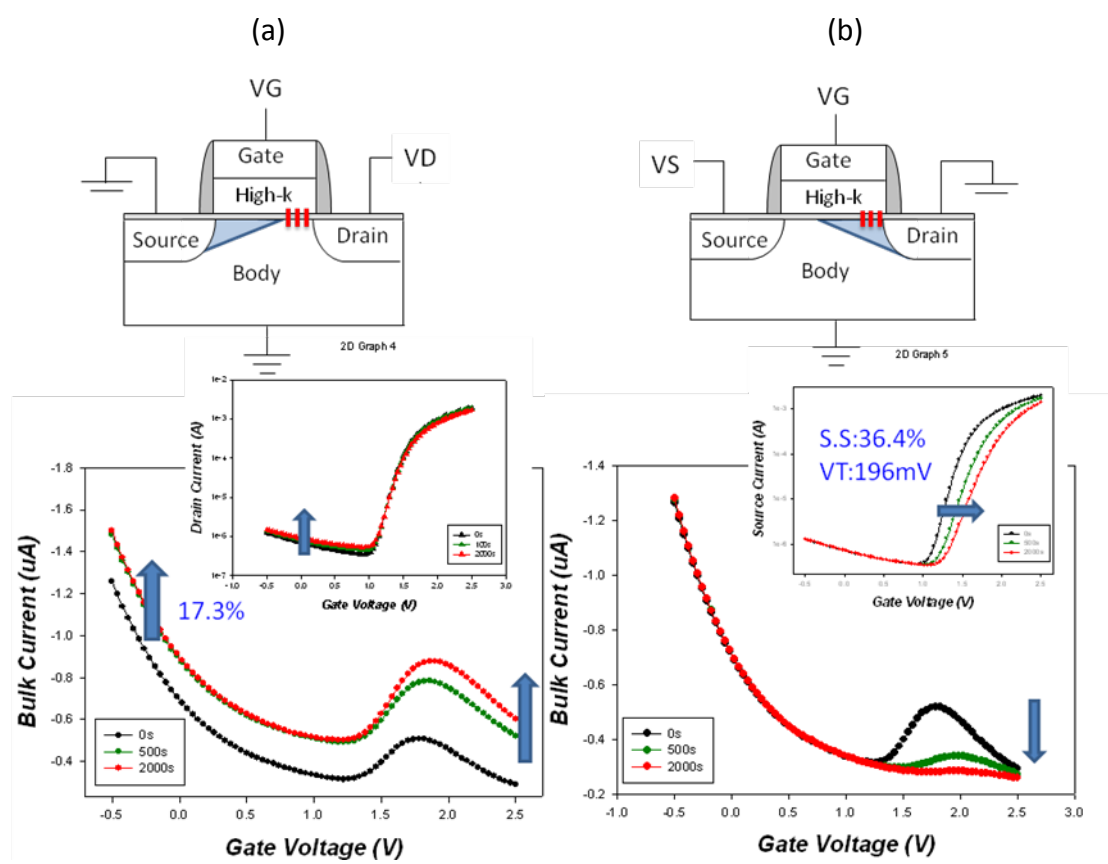


圖 3.4.1.7

爲了驗證 hot carrier 對元件所造成的影響，我們量測各種不同接法的 C-V 圖，以觀測在各端電荷變化的情形。圖 3.4.1.8 爲量測在 Body 端之電荷變化，可看出在 stress 前後並無太大差別，代表 Body 端 stress 前後其電荷變化並無太大差別。而圖 3.4.1.9 爲量測 Source 端及 Drain 端的電荷變化，在 stress 後有些微向右 shift，可見在此兩端中有些微的電荷變化，但因此時爲 Source 端及 Drain 端的電容並聯，但因此時爲少數載子電子是由 Source 端及 Drain 端提供欲觀察電荷在各端的變化情形，我們便將其分開量測。

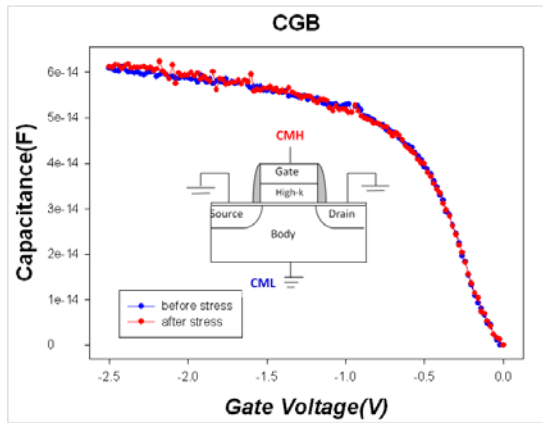


圖 3.4.1.8 Body 端之電荷變化

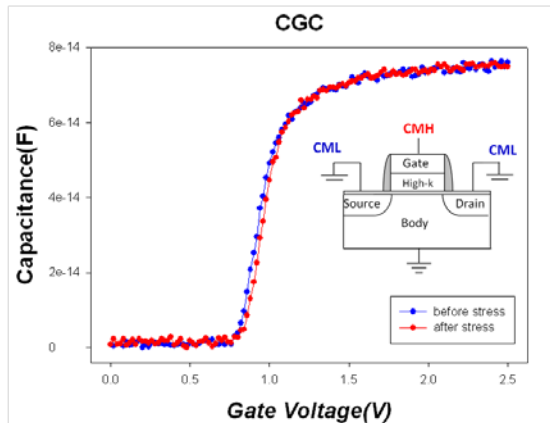


圖 3.4.1.9 Channel 的電荷變化

將 Drain 端 Floating，只量測 Source 端與閘極端的重疊處之電容，由圖 3.5.1.10 左方可看出其 stress 前後並無太大變化，我們認為此時電子所要跨越的位勢障礙在 Source 端，但 hot carrier stress 所造成的缺陷在 Drain 端，因此在此情形下 C-V 圖不會有太大的變化，然而當 Source 端 Floating 並量測 Drain 端時如圖 3.5.1.10 右方，可明顯看出 stress 後有向右 shift，代表此時需施加更大的電壓才能使電子跨越障礙，如此可驗證 hot carrier 會使元件的 Drain 端產生缺陷。

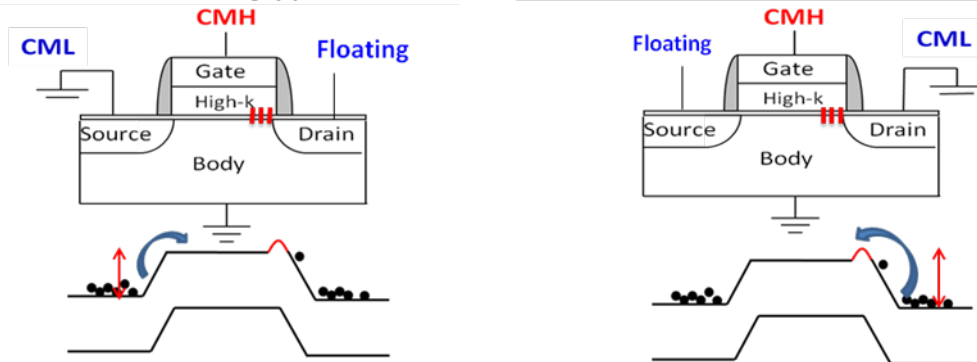
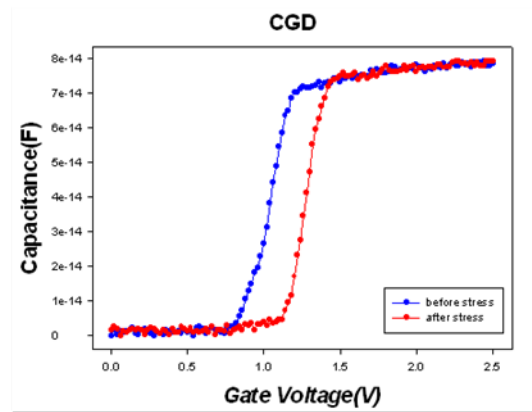
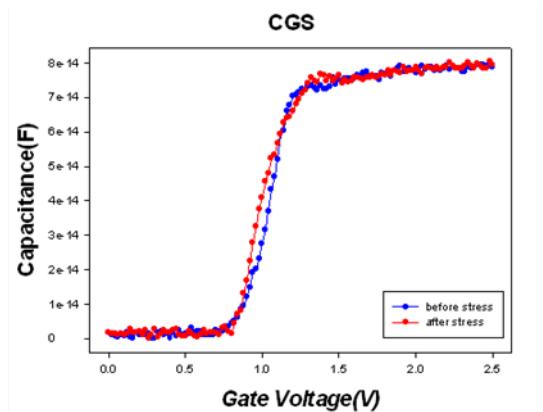


圖 3.4.1.10 左方為 Drain 端 Floating 只量測 Source 端  
右方為 Source 端 Floating 只量測 Drain 端

### 3.4.2. $Ti_aN_{1-a}$ 在不同 interfacial oxide 厚度下的 hot carrier stress 可靠度分析

比較兩種不同 interfacial oxide 厚度 IO 與 SP 之 hot carrier stress 可靠度分析，由圖 3.4.2.1 可發現，無論是 GM、ID 的下降量還是 S.S 變差的程度，都是厚度較厚的 IO 比厚度較薄的 SP 大，我們認為因為 IO 的 Mobility 較大，在 stress 過程中游離碰撞的機率較大，故在 stress 的過程中 IO 所造成的介面缺陷較 SP 多，使得 GM 與 ID 的下降量更多、S.S 變差的程度更大。

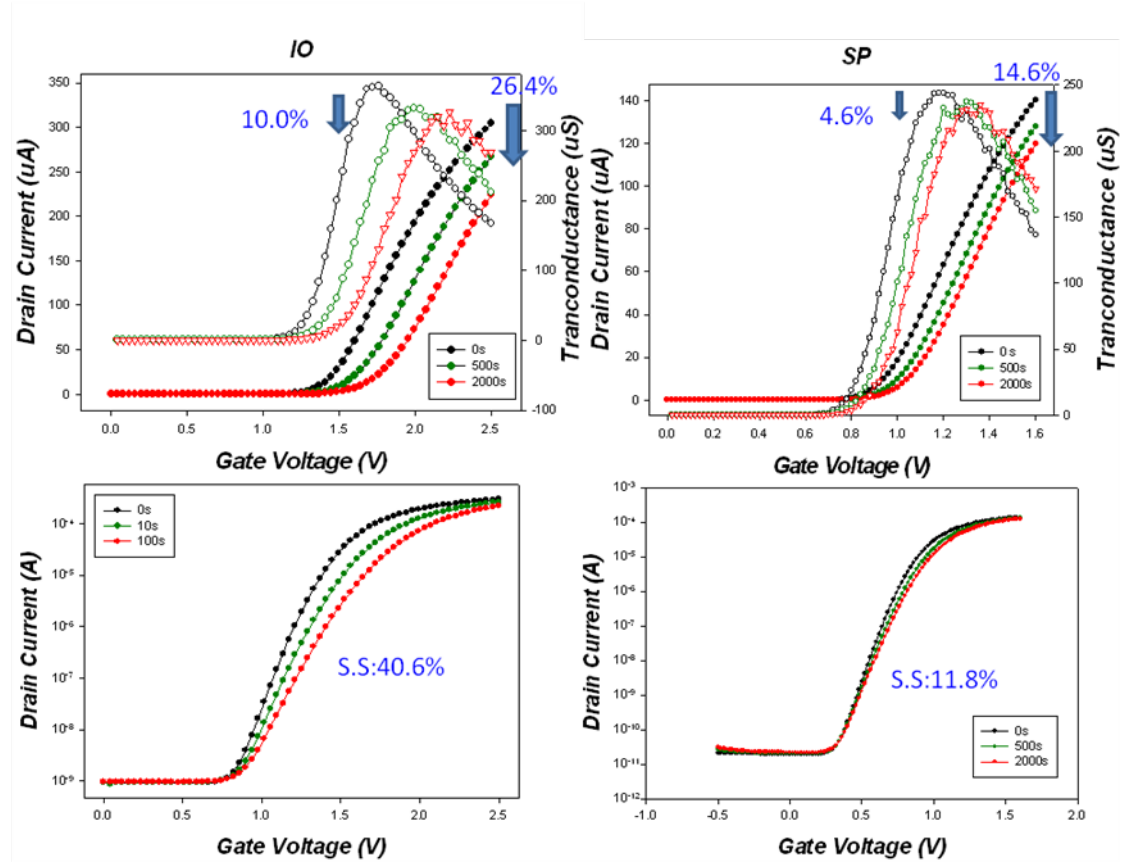


圖 3.4.2.1 兩種不同厚度 IO 與 SP 在 hot carrier stress 後其線性區 S.S 的變化

若我們將 Drain 端接地，Source 端施加 2V 時，由圖 3.4.2.2 可看出，其 IB 電流下降量 IO 比 SP 還要多，因前面所述 IO 的 ID 下降量較大，因此 IB 的下降量也較大。

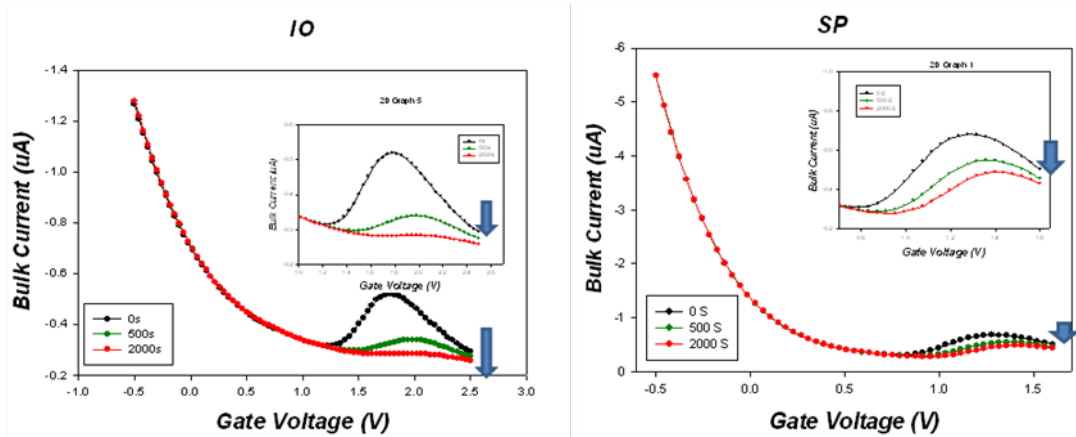


圖 3.4.2.2 Drain 端接地，Source 端施加 2V 其 IB 的變化

改將 Source 端接地，Drain 端施加 2V，由圖 3.4.2.3 可看出，當 VG 大於約 1.3V 時，IB 電流上升量 IO 比 SP 還要多，因為 hot carrier stress 過程中，IO 所造成的介面缺陷較 SP 多，使得 IO 鍵結變弱的情形較 SP 嚴重，因此 IO 游離碰撞的機率增加量較 SP 大，使得 IB 的上升量 IO 比 SP 大。然而在此條件下，IO 的 GIDL 隨著 stress 時間而上升，SP 的 GIDL 卻隨著 stress 時間而下降如圖 3.4.2.4，我們認為應該是此時的 SP 電壓差很大，SP 的氧化層較 IO 薄，使得 hot hole 有足夠的能量注入，而使 HK 層能帶下降如圖 3.4.2.5(b)，電子變得不易穿隧，才使 GIDL 下降。

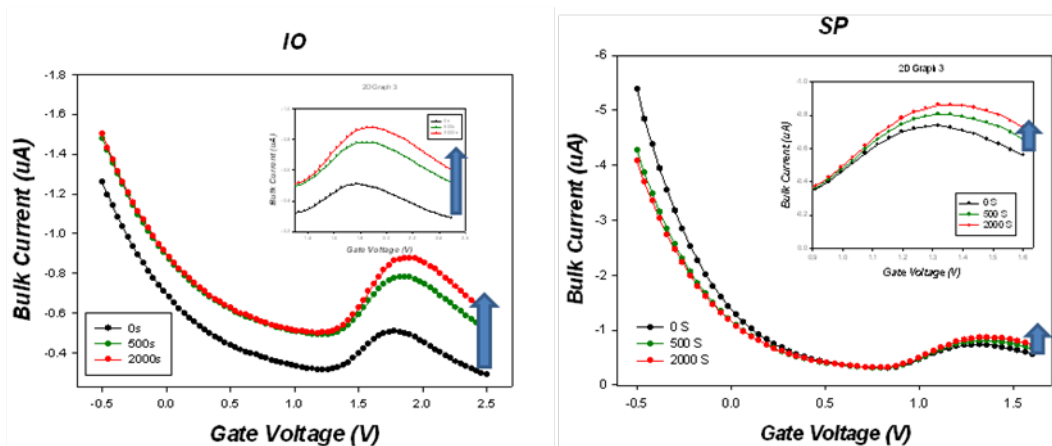


圖 3.4.2.3 Source 端接地，Drain 端施加 2V 其 IB 的變化

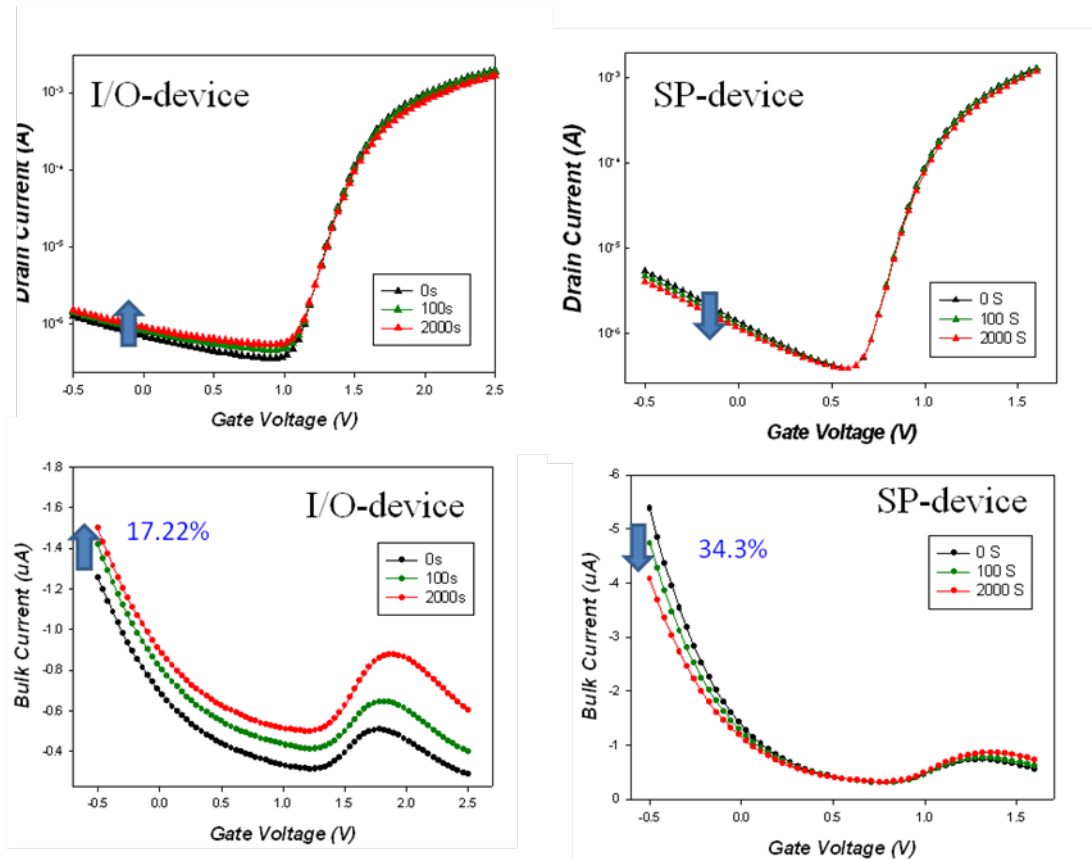
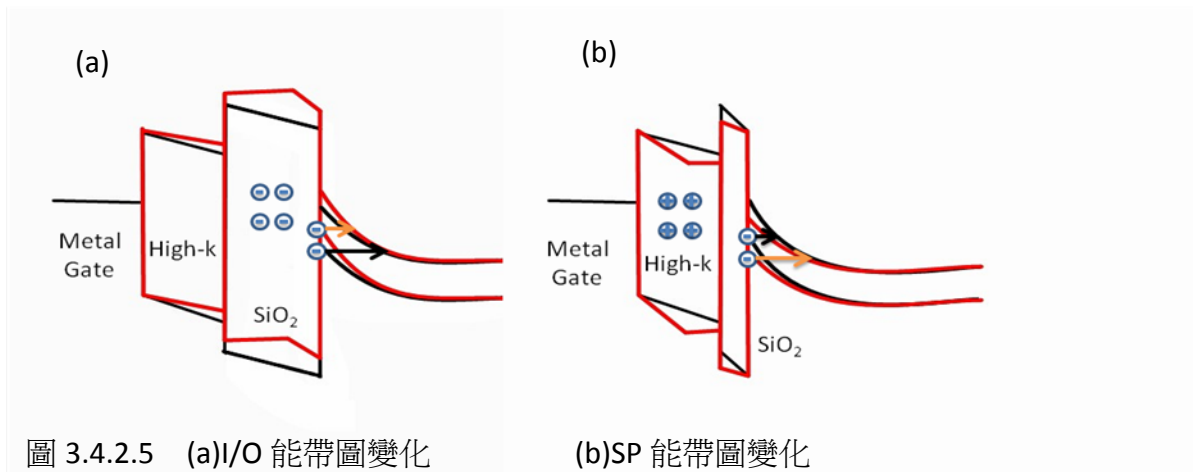


圖 3.4.2.4 Source 端接地，Drain 端施加 2V 其 GIDL 的變化



為了驗證我們的推論，我們量測當 Source 端 Floating 並且 Drain 端接 CML 時的 C-V 圖，我們可以看到如圖 3.4.2.6，IO 與 SP 都會有 shift 的現象，只是 IO 較大，SP 較小，我們認為應該是無論 IO 或 SP 都會有 Lucky electron 注入，使得能帶有抬升的現象，而 IO 只有 Lucky electron 會注入，SP 則是 Lucky electron 與 hot hole 都會注入，雖然 SP 的 hot hole 會跑上去與 Lucky electron 造成的能帶提升產生抵消，但 Lucky electron 的位置為 pinch-off 之後，而 hot hole 則是在 overlap

處，因此從能帶來看，SP 仍有比原本更大的位勢障礙，故無論是 IO 或 sp 的 C-V 圖在 stress 之後都會有往右 SHIFT 的現象。

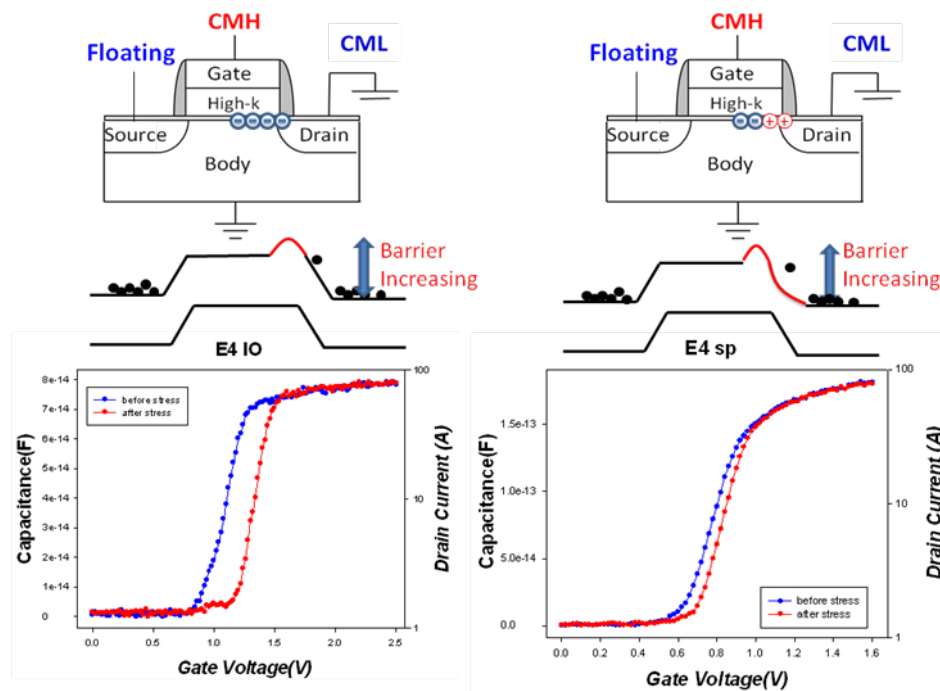


圖 3.4.2.6 IO 與 SP 在 Drain 端的電荷變化情形以及能帶圖

在上述實驗中，都會有 Lucky electron 注入，因此我們試著改成在同樣的電壓差下，只有 hot hole 沒有 Lucky electron 注入，因此我們將  $V_g$  小於  $V_T$ ， $V_d - V_g$  與前述實驗的 sp 相同，此時就有 bend to bend hot hole，但因  $V_g$  小於  $V_T$ ，所以不會有 source 端的載子貢獻，也就沒有 Lucky electron。原理上 Lucky electron + hot hole 對能帶的影響應該會互相抵消，GIDL shift 會比 hot hole only 的較小，但我們所得的結果如圖 3.4.2.7 卻較大，我們認為 electron 雖會去填補 oxide 缺陷，但同時也會破壞介面缺陷，使得缺陷輔助有更多的 hot hole 可以進入，故 Lucky electron + hot hole 在 hot carrier stress 後的 GIDL shift 較 hot hole only 還要大。

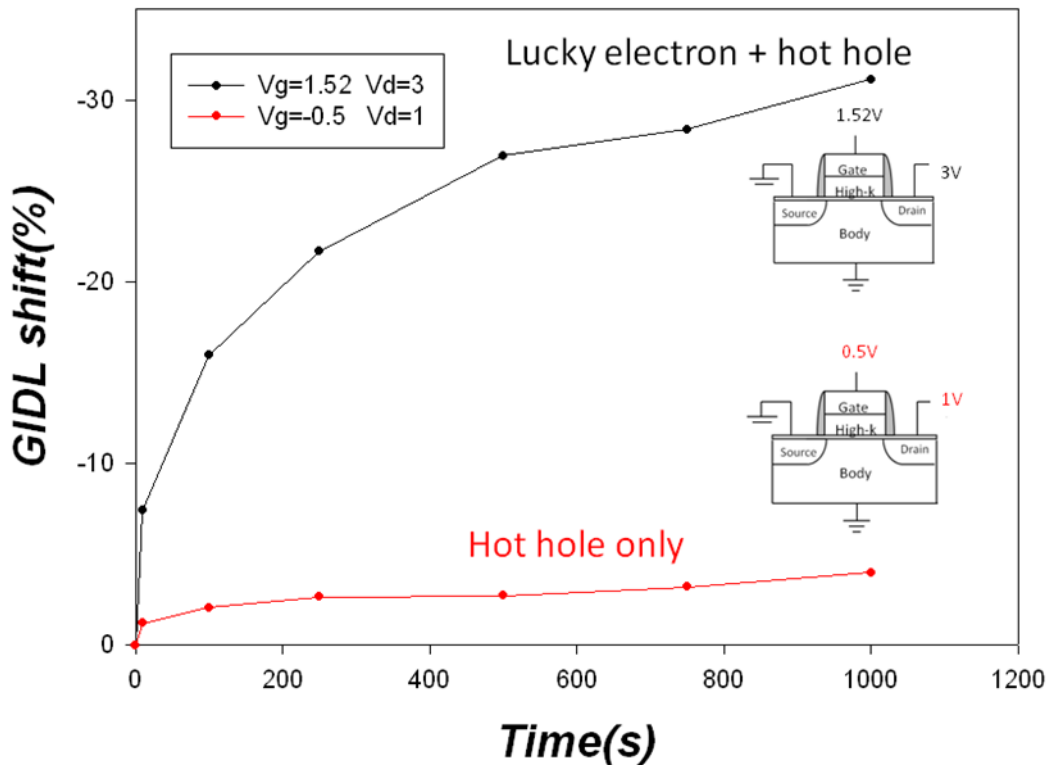


圖 3.4.2.7 相同電壓差下有無 Lucky electron 的 GIDL shift 比較圖

### 3.4.3.不同Ti濃度下的hot carrier stress可靠度分析( $Ti_aN_{1-a}$ vs $Ti_cN_{1-c}$ )

由圖 3.4.3.1 可看出，Ti 濃度較高的 H，其 GM 以及 ID 的下降量無論是 IO 或 SP 都較大，我們認為是因為 Ti 濃度越高，其 mobility 越大，也因此相同 hot carrier stress 條件下，會造成更嚴重的熱載子劣化。

圖 3.4.3.2 為不同 Ti 濃度 hot carrier stress 後其 GIDL 的變化。我們知道 IO 的 GIDL 會隨 stress 時間而上升，然而因為 IO 的 lucky electron 是注入在 interfacial oxide 內，故其捕捉電子的能力在不同 Ti 濃度下的差異量不大，故在不同 Ti 濃度下，GIDL 上升程度為 Ti 多的 H 元件約等於 Ti 少的 C 元件。而 SP 則是會隨 stress 時間而下降，因為 SP 是利用介面缺陷輔助 band-to-band hot hole 注入到 high-k 層，而 Ti 濃度越高時，修補 high-k 層內部缺陷的 N 越少，因此 high-k 層內的缺陷越多，使得有越多的電洞 trapping 在 high-k 層，造成 overlap 處能帶降得更低，故 GIDL 下降程度 Ti 多的 H 元件大於 Ti 少的 C 元件。

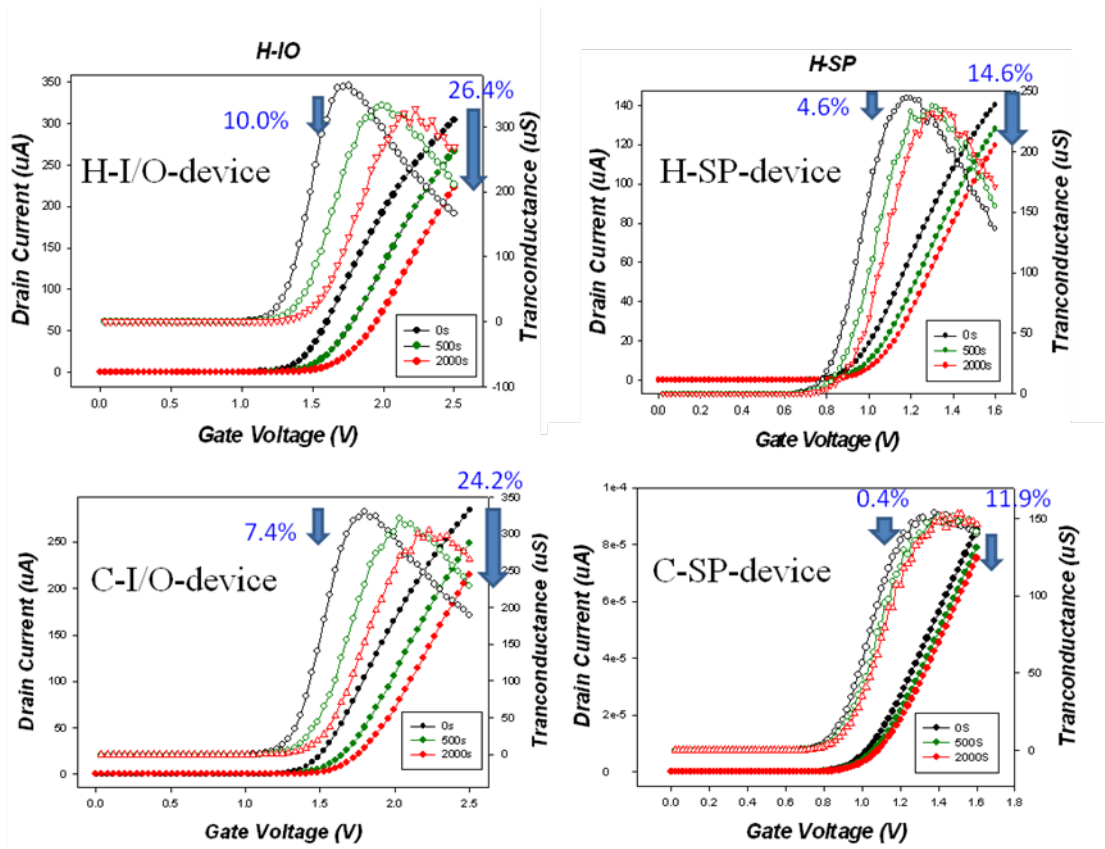


圖 3.4.3.1 不同 Ti 濃度及厚度 hot carrier stress 後線性區比較



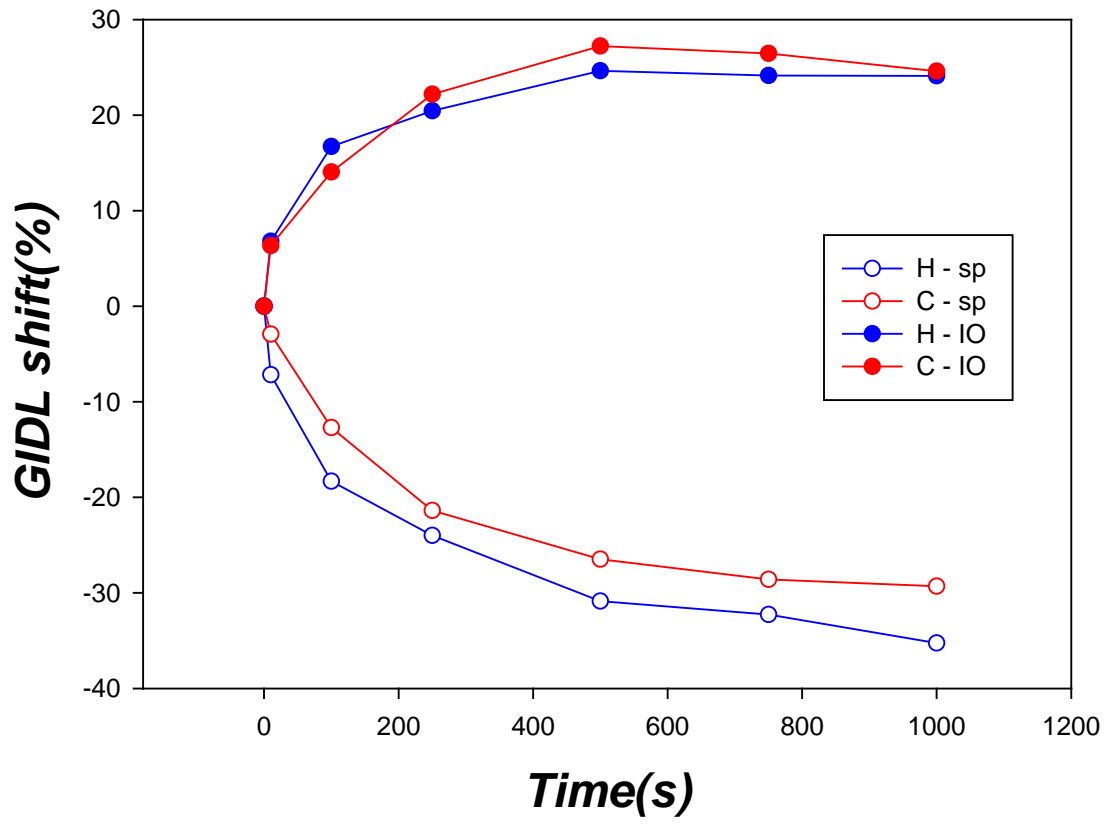


圖 3.4.3.2 不同 Ti 濃度及厚度 hot carrier stress 後其 GIDL 的變化

## Conclusion

不同Ti濃度下的 $Ti_xN_{1-x}$  metal-gate，我們發現若Ti濃度越高，能使Mobility增加、 $V_T$ 下降，並且此時N的濃度越少，因此介面缺陷也會越少，使S.S下降，然而N會填補high-k 內部缺陷，因此Ti濃度越高，high-k 內部缺陷越多，閘極漏電變越大。若Interfacial oxide 厚度越厚，會降低N擴散到介面的機會，使介面缺陷降低，因此可抑制remote photon scattering 以增加元件的mobility。

熱載子可靠度的分析中，我們發現若Ti濃度越高，雖然mobility會越高，但在相同hot carrier stress條件下將會造成更嚴重的熱載子劣化產生。在hot carrier stress後，我們認為I/O元件會有lucky electron注入在interfacial oxide內，因此在不同Ti濃度下，GIDL上升程度 $\Delta I_{GIDL}(Ti多) \doteq \Delta I_{GIDL}(Ti少)$ 。但是在 SP元件中，我們認為主要是介面缺陷輔助band-to-band hot hole注入到high-k層，因為Ti濃度越高時bulk缺陷越多，因此下降程度 $\Delta I_{GIDL}(Ti多) > \Delta I_{GIDL}(Ti少)$ 。

## References

1. 半導體科技 未來 IC 製造必須依靠電路與元件微縮議題的解決方案  
2005/5/3
2. A.Kerber,E.Cartier,L.Pantisano,R.Degraeve,T.Kauerauf,Y.Kim,A.Hou,Groeseneken,  
IEEE,VOL.24,NO.2,February 2003
3. Moshe Gurfinkel,John S. Suehle,Yoram Shapira,Microelectronic Engineering 86(2009)
4. G.D. Wilk,R.M.Wallace,J.M.Anthony,JOURNAL OF APPLIED PHYSICS
5. X.Garros,M.Casse,G.Reibold,M.Rafik,F.Martin,F.Andrieu,F.Boulanger,  
Microelectronic Engineering 86(2009)
6. Robert Chau, Suman Datta, Mark Doczy, Brian Doyle, Jack Kavalieros,and Matthew  
Metz, IEEE, VOL. 25, NO. 6, JUNE 2004