



國立中山大學 物理學系

專題報告

High k/metal gate 金氧半場效電晶體

交流電壓下可靠度研究

**The investigation of AC Stress  
for High k/Metal Gate MOSFETs**

研究生：蔡宜蓁 蔡政原 撰

指導教授：張鼎張 博士

中華民國一百年一月

# High k/metal gate 金氧半場效電晶體

## 交流電壓下可靠度研究

研究生：蔡宜蓁 蔡政原

指導教授：張鼎張 博士

國立中山大學

物理學系

### [摘要]

隨著 MOSFET 尺寸不斷的微縮，氧化層厚度越作越薄，以藉以提昇電晶體的效能，而當製程技術達到 45nm 以下，則勢必等效氧化層厚度則必須等於或小於 1.1nm，而此要求則會導致量子穿隧現象，導致閘極漏電大幅上升，此導致微縮面臨到瓶頸，因而高電介材料 High k 就逐漸佔有一席之地。

而本專題探討 high k/metal gate 金氧半場效電晶體可靠度進行探討，對 DC stress 以及 AC stress 進行相同閘極電壓之下的研究，可發現 DC stress 並不會造成劣化，反觀 AC stress 卻有大幅的劣化，而可發現在 AC stress 會 trapping 在靠近 overlap 處，並隨著 stress 頻率越大則 VT shift 越大。

## Contents

摘要.....	i
致謝.....	ii
目錄.....	iii
表格目錄.....	vi
圖片目錄.....	v

# 圖表目錄

## Chapter 1. Introduction

1.1	研究背景.....	1
1.2	研究動機.....	4

## Chapter 2. Foundation of Theory

2.1	氧化層與介面缺陷.....	8
2.2	Charge pumping ( $I_{cp}$ )	
2.2.1	Charge pumping 發展由來.....	10
2.2.2	Charge pumping 的方法與原理.....	10
2.3	Poole Frenkel 機制.....	13
2.5	NBTI(negative bias temperature instability) .....	14

## Chapter 3. Experiment

3.1	量測樣品.....	17
3.2	儀器簡介.....	19
3.5	Reliability	
3.5.1	DC stress.....	39
3.5.2	AC stress .....	45

## Chapter 4. Conclusion.....57

**References.....58**

# Chapter 1. Introduction

## 1.1 研究背景

1960 年第一個金氧半場效電晶體於貝爾實驗室由 kahng 和 Atalla 發明，而當時電晶體長度為 25 $\mu\text{m}$ ，其氧化層厚度為 100nm，1965 年 Gordon E. Moore 提出在科技不斷地進步的前提之下，每十八個月在相同的面積之下所容納的電晶體則倍增，隨著單位面積下電晶體數目增多，因此在短短的五十年間，閘極長度已小於 45nm，而閘極氧化層已小於 12nm，並且 CPU 的電晶體數量已經超過 1 億。

金氧半場效電晶體(MOSFET)擁有較低製作成本、較低功率消耗、較小體積的優點，而其最重要的是金氧半場效電晶體較容易微縮，因為微縮可以使得電晶體體積縮小因而增加包裝電晶體數量、MOSFET 有一個重要的參數是電晶體內在延遲(intrinsic delay,  $\tau$ )，其為一個在使用電晶體的簡單邏輯電路中最小開關延遲時間的量測，由於會影響電晶體的反應時間，而微縮會增加元件反應速度、降低供給電壓、增加電流值(如圖 1.1.2)等，但在微縮的同時， $V_T$ 也會跟著下降，此時漏電的情形會越來越嚴重(如圖 1.1.3)，因此off 電流不斷的上升，故我們將 $V_T$ 調變使其上升(如圖 1.1.4)，所以若是考慮漏電的情形，電流並不會隨著尺寸微縮而上升(如圖 1.1.5)，此外在尺寸微縮的同時， $\text{SiO}_2$ 厚度不斷的縮小，由於device電場必須維持固定，當閘極厚度小

於 12Å 會造成電子穿隧，使得閘極漏電流造成無謂的消耗，且當 SiO<sub>2</sub> 與 poly-si 為介面時，實際量測出來的電容值會比理想電容值還要小，因為除了由 gate 厚度所算出來的電容外，實際上還有 poly si 的空乏區電容以及量子效應所形成的電容，因此實際上電容為

$$1/C_{TOT} = 1/C_{D,R} + 1/C_{G,D} + 1/C_{Q,M}$$

(如圖 1.1.6)，當氧化層不停微縮時，Q.M Thickness 造成的影響越來越小，因此當尺寸到微縮一定值時，電容值會達到一定值而不再變小，故此物理上的厚度為我們微縮的限制，是我們必須解決的課題。

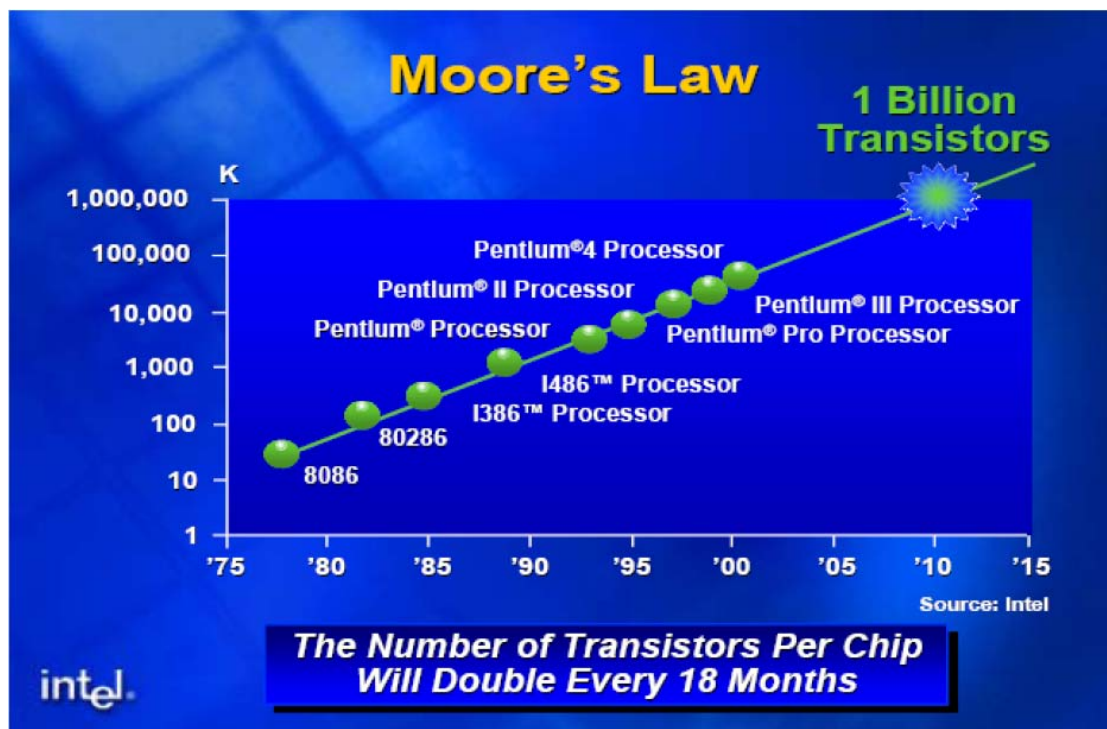


圖 1.1.1 電晶體數量的演進圖

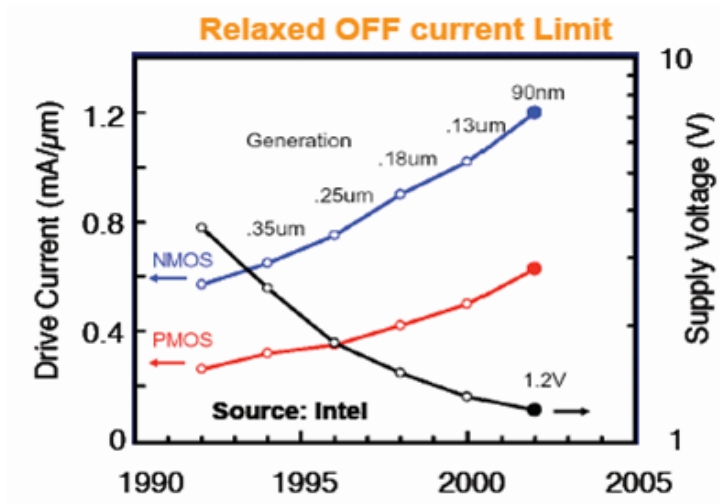


圖 1.1.2 尺寸微縮閘極電壓示意圖

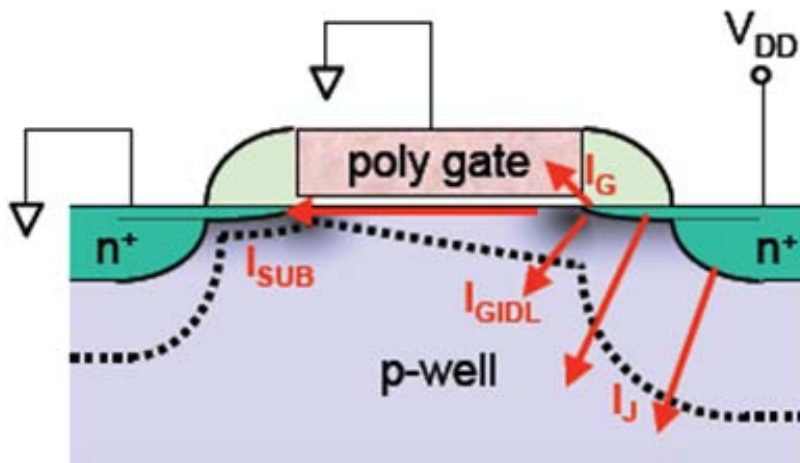


圖 1.1.3 MOSFET 漏電流示意圖

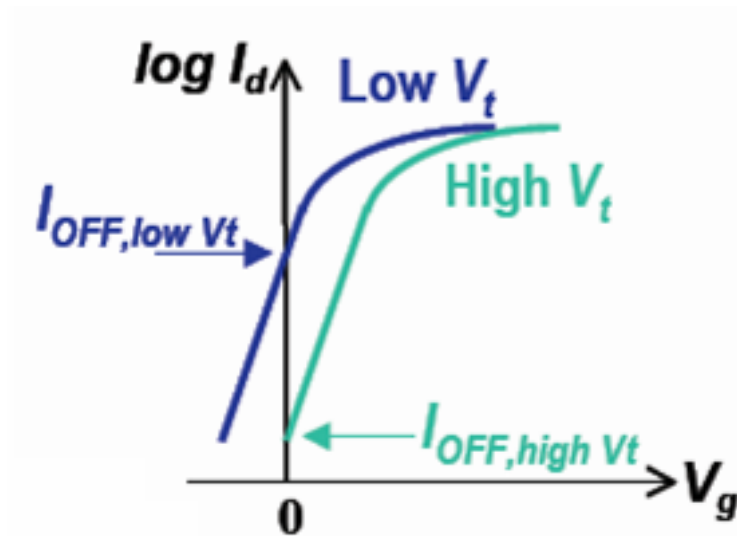


圖 1.1.4 改善 off 電流示意圖



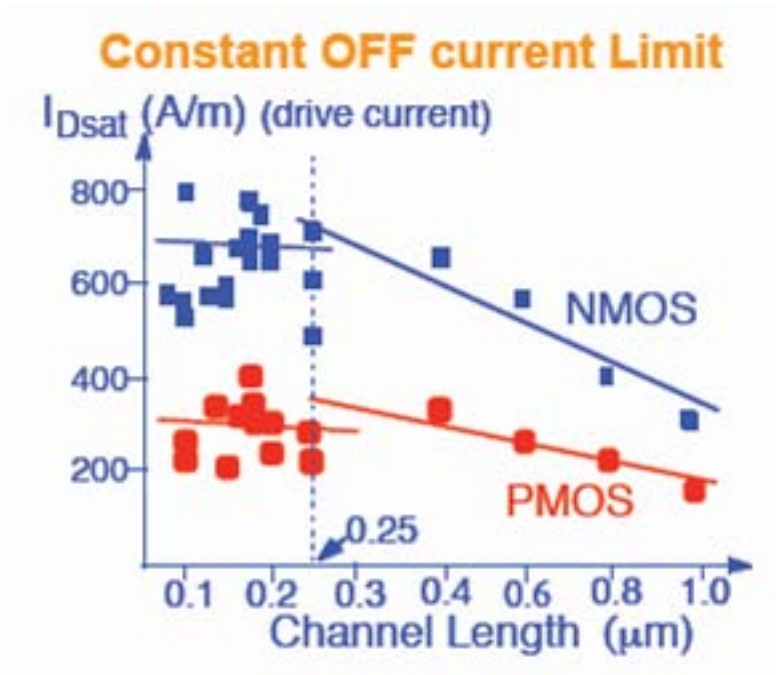
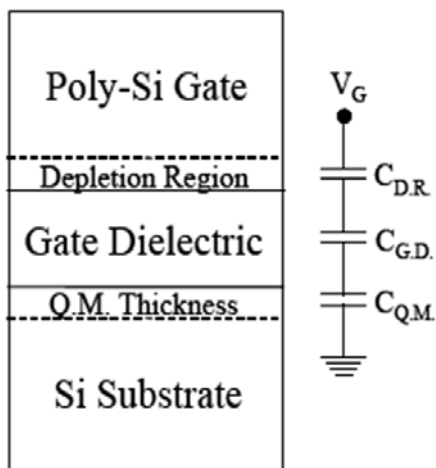


圖 1.1.5 Constant Off current limit



$$EOT_{TOT} = EOT_{D.R.} + EOT_{G.D.} + EOT_{Q.M.}$$

圖 1.1.6 total 等效電容示意圖

## 1.2 研究動機

隨著MOSFET尺寸不斷微縮，爲了提升閘極控制能力，閘極氧化層厚度也隨之縮小，當氧化層SiO<sub>2</sub>厚度小於12Å時，會達到量子穿隧

的極限，導致閘極漏電隨之增加，因此以SiO<sub>2</sub>做為氧化層的傳統逐漸碰到挑戰。而另一方面，我們在提升元件性能時，其中閘極電流(I<sub>dON</sub>)是決定元件性能的重要參數，I<sub>dON</sub>正比於 $\frac{C_{ox}\mu}{L}$ ，其中C<sub>ox</sub>為氧化層的電容， $\mu$ 為載子速度，L為通道長度，但隨著我們要求電晶體效能提升勢必要增加I<sub>drain</sub>，因此降低L、提升C<sub>ox</sub>或 $\mu$ ，而降低L則由前面得知會遇到瓶頸，因此增加氧化層電容就變得格外重要，而氧化層電容公式為 $C_{ox} = \epsilon_r \epsilon_0 / t_{ox}$ ，其中t<sub>ox</sub>為SiO<sub>2</sub>厚度， $\epsilon_0$ 為真空下的介電常數， $\epsilon_r$ 為相對介電常數又稱為k值，因此我們可使用High k材料來增加電晶體的特性(如圖1.2.1)。由圖2.1.1可知，傳統SiO<sub>2</sub>有很大的band gap (9eV)，k值卻很小(3.9eV)，今天我們為了解決閘極漏電的問題要使用High k材料，但是我們不能使用TiO<sub>2</sub>，因為雖然TiO<sub>2</sub>的k值較大，然而它的band gap卻很小，電子更容易穿隧使得有更多的閘極漏電產生，因此我們選擇使用HfO<sub>2</sub>，它的band gap為6eV、k值約為25(如圖2.1.2)。不過使用High k材料也會產生許多問題，根據paper [7]我們知道High k材料中，remote phonon scattering會降低mobility( $\mu$ ) (如圖2.1.4)，因此我們使用metal gate來解決此問題，因為metal gate會屏蔽high k的remote phonon scattering，而使mobility( $\mu$ )上升 (如圖2.1.5)，而屏障了remote phonon scattering效應所降低的mobility( $\mu$ )，因此我們使用TiN來當metal gate。在此報告中，我們將探討不同Ti<sub>x</sub>N<sub>1-x</sub> metal gate

的電性以及可靠度分析，而我們可知由於當MOS電晶體受到電應力施加通常會造成氧化層的電荷捕捉或缺陷的產生，由MOS電晶體C-V特性曲線得知，所填補的氧化層電荷會引起C-V特性曲線平移，由此我們可知MOS會受到閘極電壓而造成缺陷改變，但我們實際應用在交流情況之下，因此我們必須瞭解high k在AC stress變化。

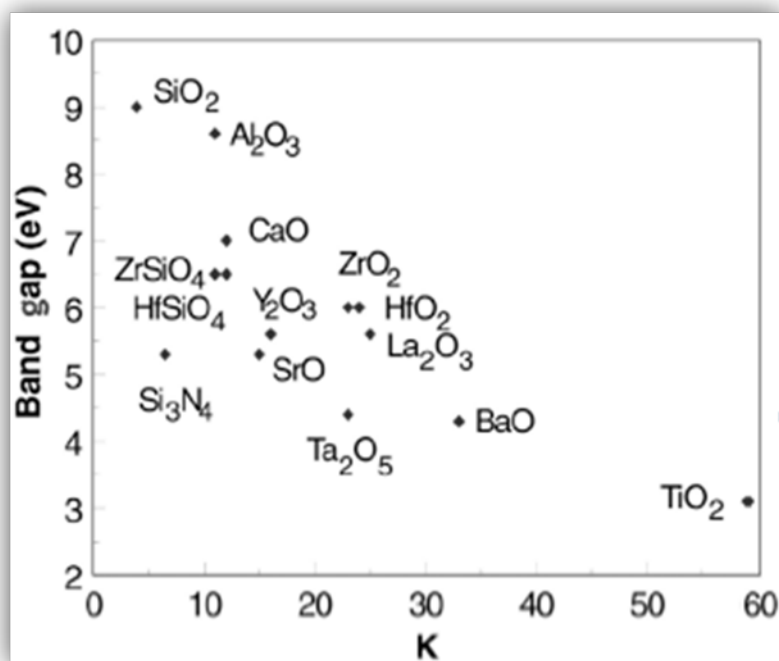


圖 1.2.1 氧化層材料介電係數

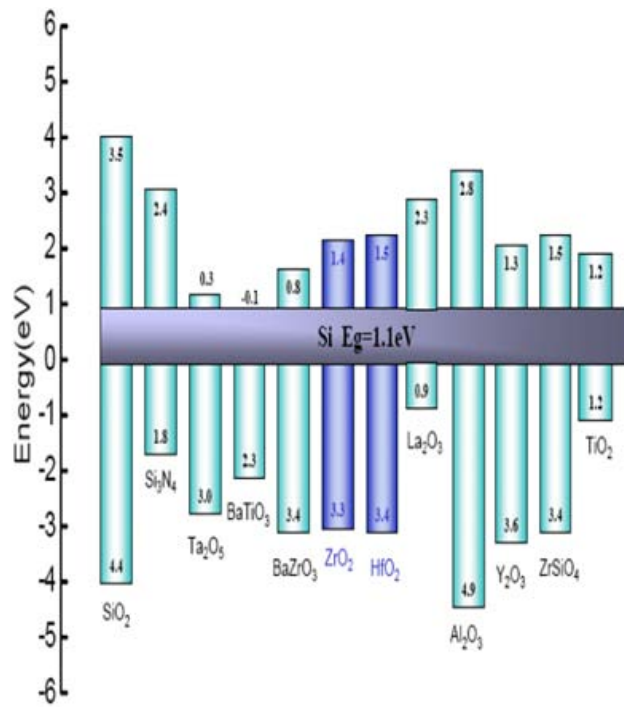


圖 2.1.2 各種氧化層材料 band gap

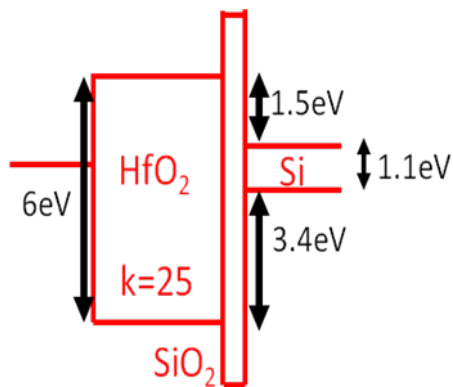


圖 2.1.3 high k 能帶圖

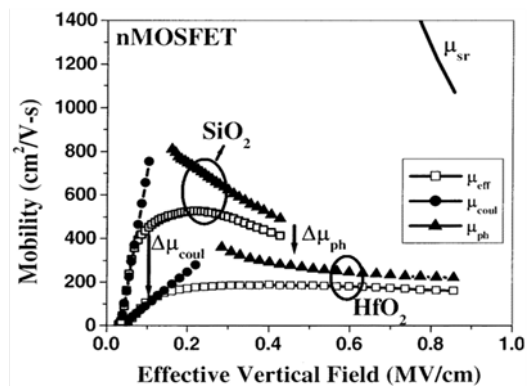


圖 2.1.4 SiO<sub>2</sub>與HfO<sub>2</sub>對mobility影響圖

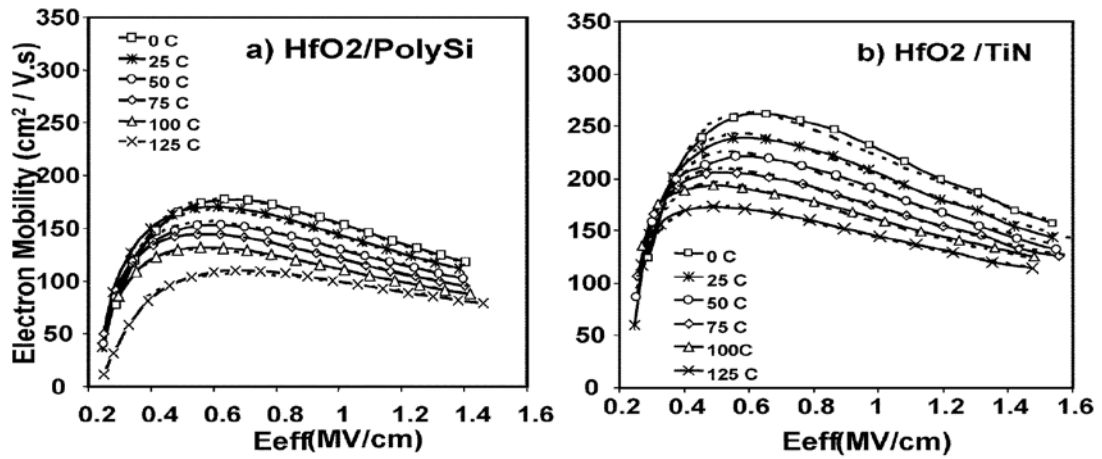


圖 2.1.5 有效電場與 mobility 對不同 gate

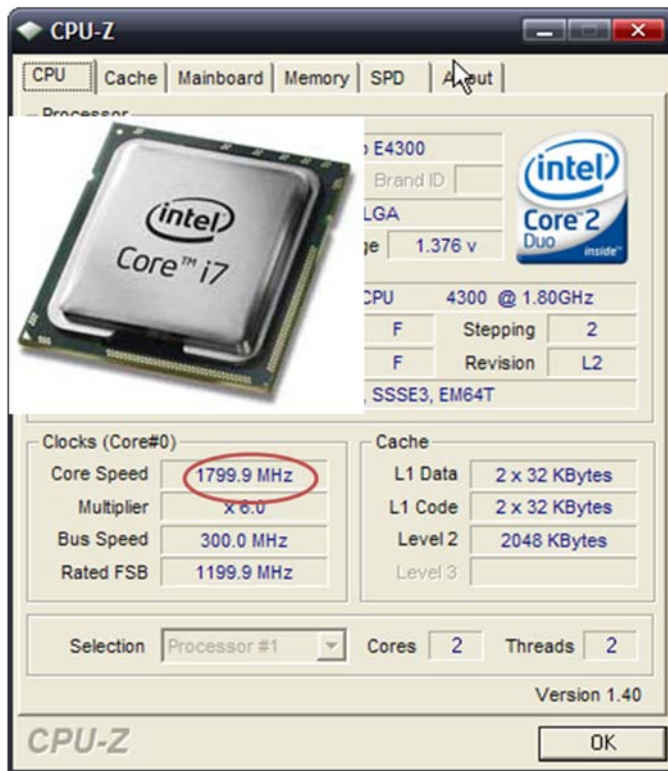


圖 2.1.6 CPU 轉換頻率示意圖

## Chapter 2. Foundation of Theory

### 2.1 氧化層與介面缺陷

當MOS電晶體受到電應力施加通常會造成氧化層的電荷或界面缺陷的產生，由MOS電晶體C-V特性曲線得知，所填補的氧化層電荷會引起C-V特性曲線平移，而假如電荷存於與poly-si/SiO<sub>2</sub>界面X距離處，則可以由公式得知，平帶電壓偏差量為

$$\Delta V_{FB} = -\frac{XQ_{OX}}{d_{OX}C_{OX}}$$

而之所以會造成其偏差量為當SiO<sub>2</sub>與Si能隙不同，因而造成的電子可能填補於矽的禁止能隙中，其介面缺陷主要造成的原因為SiO<sub>2</sub>和Si界面的鍵結不連續所造成的。一般介面缺陷大致可區分成兩種型態，其一為施體的介面缺陷，其特性為當電子填補介面缺陷時候是電中性，但是當電子沒有填補時則帶正電，而另一種為受體的介面缺陷，其特性為當電子填補介面缺陷時候是負電，但是當電子沒有填補時則不帶電。

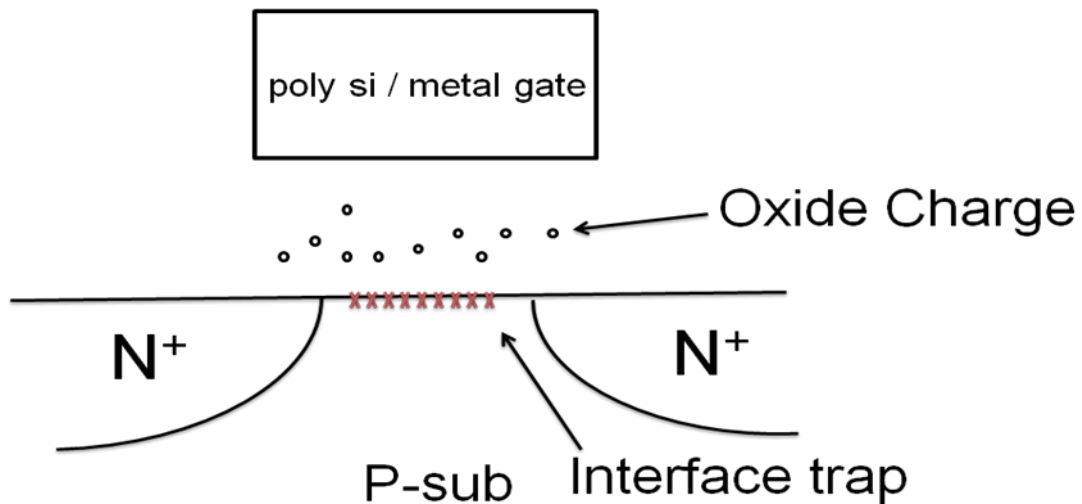


圖 2.1.1 氧化層缺陷示意圖

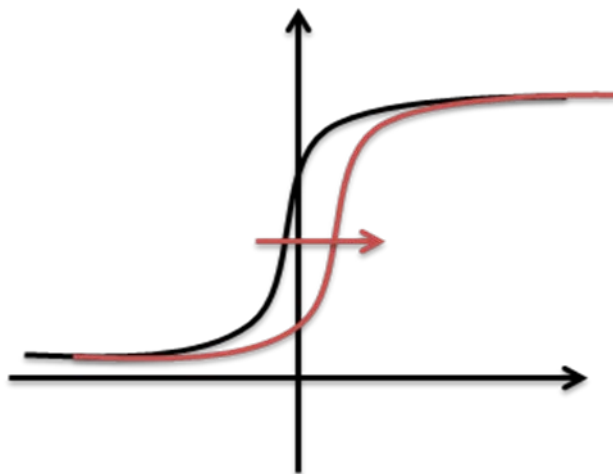


圖 2.1.2 C-V 對捕捉的變化圖

## 2.2 Charge pumping ( $I_{cp}$ )

Charge pumping 最早是由 Bruglar 和 Jaspers 兩位所提出，主要是利用電子電洞於表面複合過程針對界面缺陷作一些測量。於 1969 年，Bruglar 和 Jaspers 發現當在閘極施加一連續脈衝的同時，矽基板有電荷的流動，而其研究結果認為此電流為介面缺陷的少數載子與矽基板的多數載子不斷複合所引發。

### 2.2.1 Charge pumping 的方法與原理

由於介面缺陷影響了元件操作速率以及汲極電流等問題，我們在閘極端給予脈衝，source 端和 drain 端接地，接著量測 bulk 的電流。脈衝位於 a 點時 MOSFET 處於反轉層，電洞被推離通道表面，電子由 Source 端和 Drain 端流出累積在通道表面，電子會與介面缺陷產生複合，而脈衝位於 b 時 MOSFET 處於聚積，此時來得及跳出去的電子會流向 source 或是 Drain 端 而來不及跳的深缺陷電子就被電洞複合，而位於靠近傳導帶介面缺陷電子會受到熱影響而躍升到傳導帶進而流向 S/D，電洞則由矽基板流向表面通道，去複合被介面缺陷捕捉的電子，當下一個循環時，電子又會去複合被介面缺陷捕捉的電洞，如此反覆循環 bulk 則會不停偵測到電流。

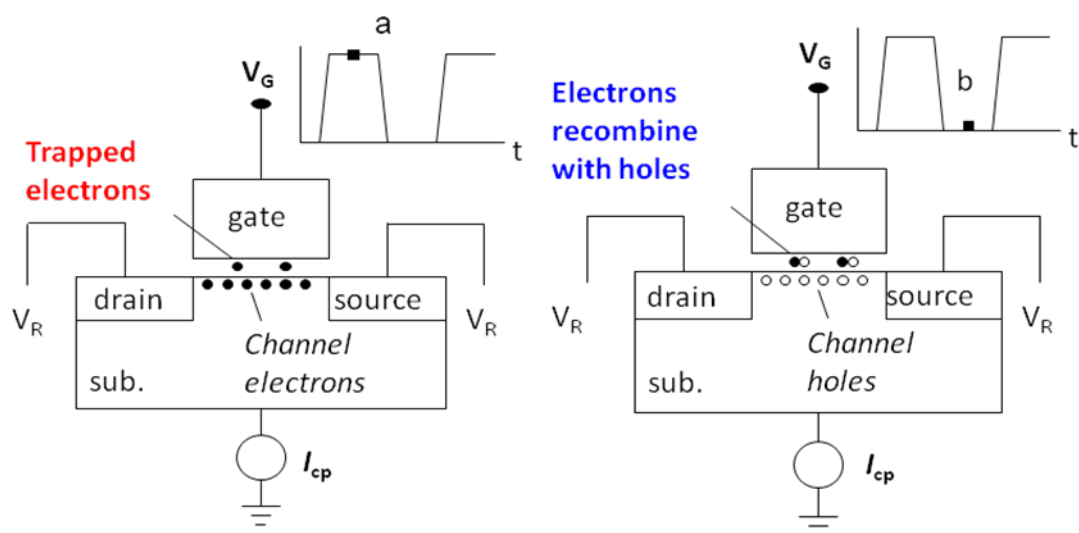


圖 2.2.1 charge pumping 示意圖



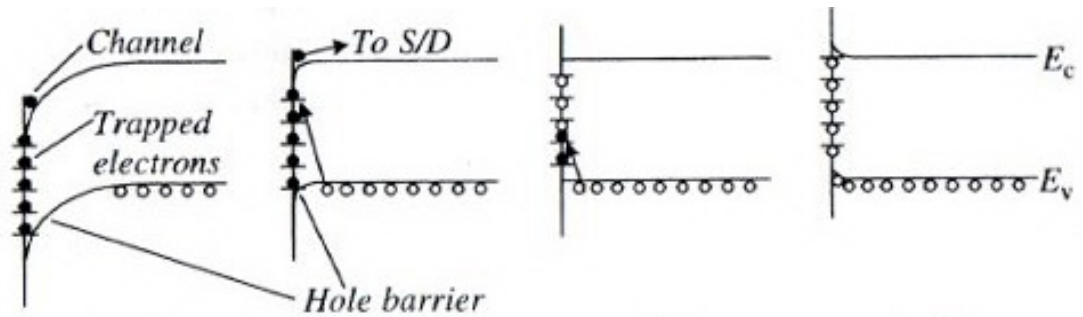


圖 2.2.2 charge pumping 能帶示意圖

而我們實驗量測方法為固定 base 電壓逐漸加大電壓振幅，(a)當脈衝電壓  $V_g$  小於平帶電壓  $V_{fb}$ ，表面不會造成反轉，因而不會有電子被捕捉的情形，因此 body 不會傳遞電子來遞補被捕捉的電子，(b)當脈衝電壓  $V_g$  大於平帶電壓  $V_{fb}$ ，表面造成反轉，而隨著電壓增加，反轉電子就會增加，因而電子被捕捉在介面缺陷的機會就會增加，因此  $I_{cp}$  上升，(3)當脈衝電壓  $V_g$  大於起始電壓  $V_t$ ，表面反轉電子數量達到最大，因而不會再累積。

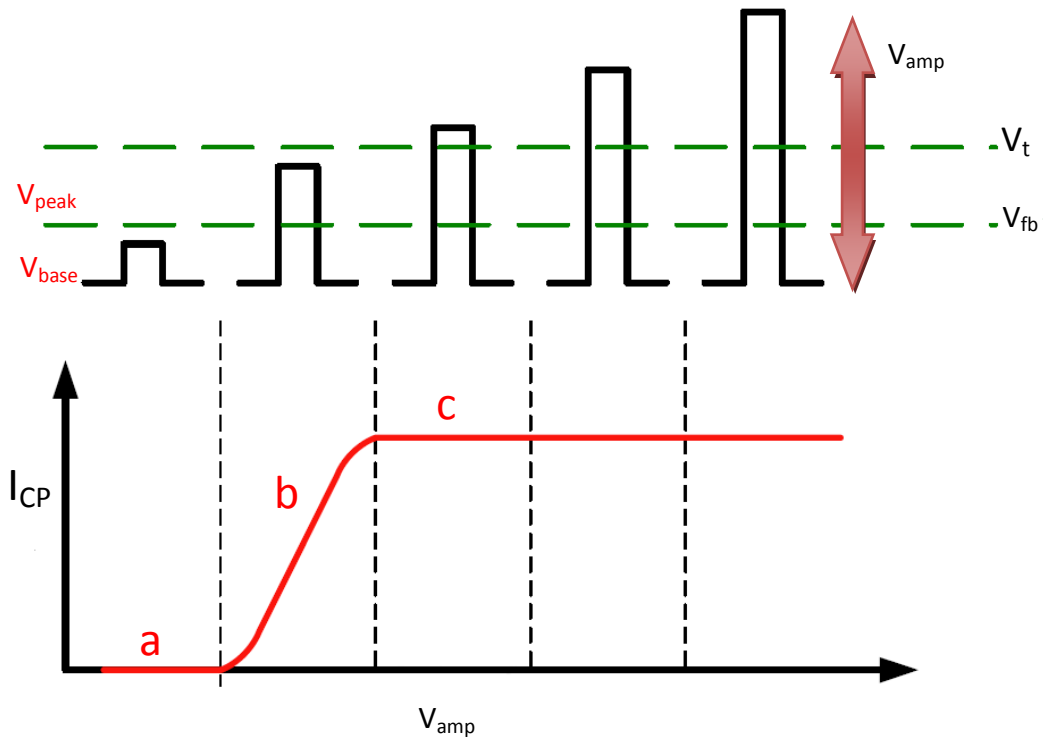


圖 2.2.3 施予偏壓大小與 $I_{CP}$ 關係圖

### 2.3 Poole Frenkel 機制

Poole Frenkel effect 為電子可以穿過絕緣層的方法，一般電子被局限於傳導帶，而氧化層中會有陷阱能障，有部份電子受到熱影響而躍升到陷阱能障中，電子逐步從氧化層中的陷阱能障傳遞到 gate 端如圖

#### 2.3.1。

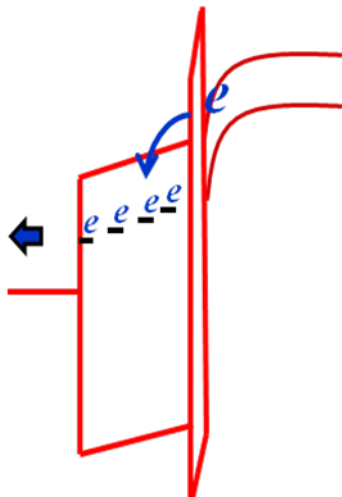


圖 2.3.1 Poole Frenkel 機制

## 2.4 NBTI(negative bias temperature instability)

### 2.4.1 NBTI 的原理

NBTI為負偏壓溫度的不穩定性，意味著元件長時間處於負偏壓與高溫情況之下導致VT shift，其原因為於閘極處施加負偏壓會使得表面的Si-H鍵斷掉，使H跑出來將氧化層內部的Si-O鍵結打斷並與O鍵結，最後會形成表面不滿足八隅體之Si缺陷(圖 2.5.1.1)，而Si少一個鍵結即Interface trapped ( $D_{it}$ )以及氧化層中被H打斷鍵結的 $Si^+$ ，即為fixed oxide charge，而會造成氧化層中缺陷增加導致VT shift。

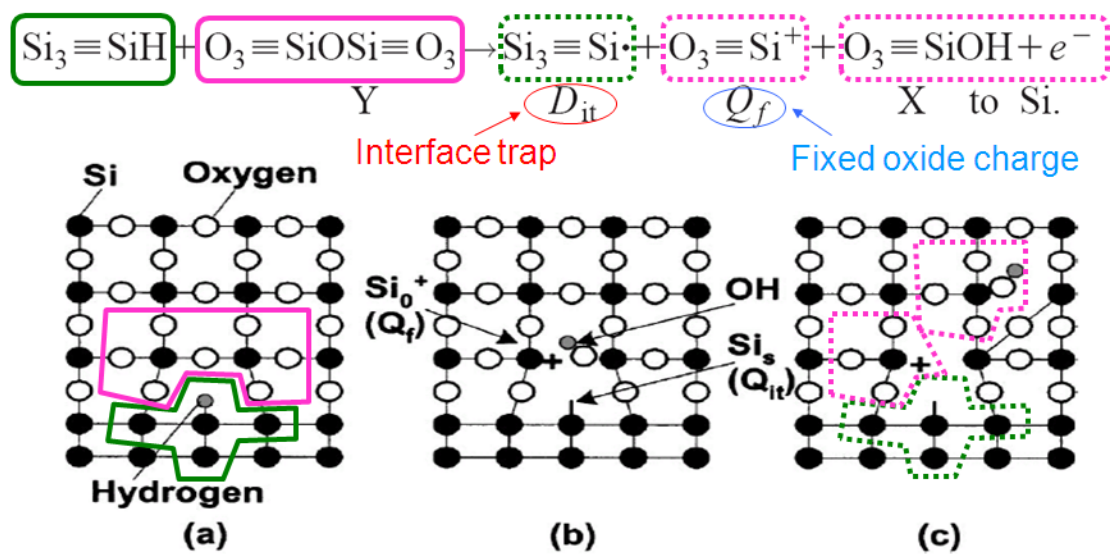


圖 2.4.1.1 矽晶格鍵結與介面缺陷示意圖

## 2.4.2 R-D model

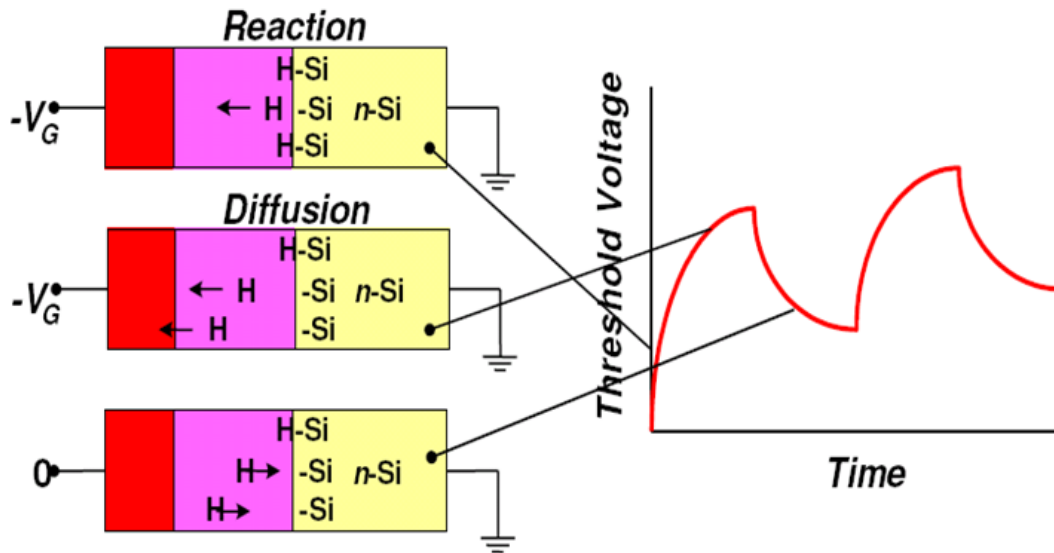


圖 2.4.2.1

## Chapter 3. Experiment

### 3.1 量測樣品

量測樣品為聯華電子的高k/metal gate，結構如圖 3.1，此種樣品  $Ti_xN_{1-x}$  有三種不同的Ti濃度，並且氧化層也有三種不同的厚度分別為 speed(SP)、LL、input/output(I/O)，因此我們就是對這種三種不同的 TiN濃度做電性量測。

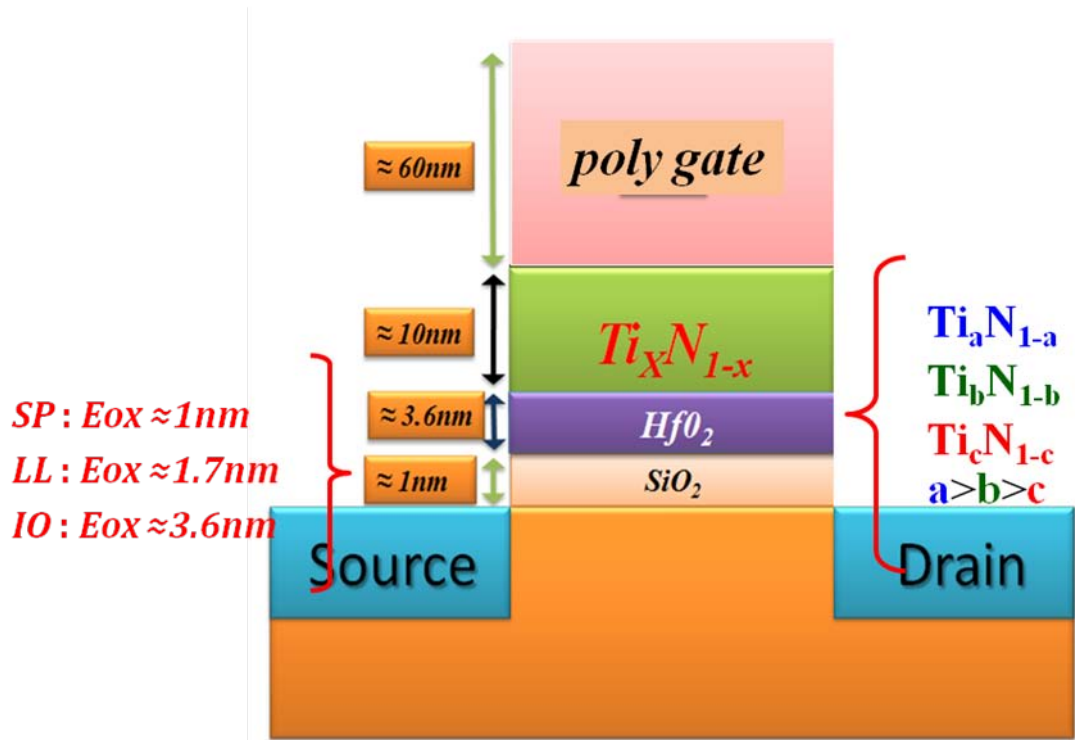


圖 3.1.1 high k 示意圖

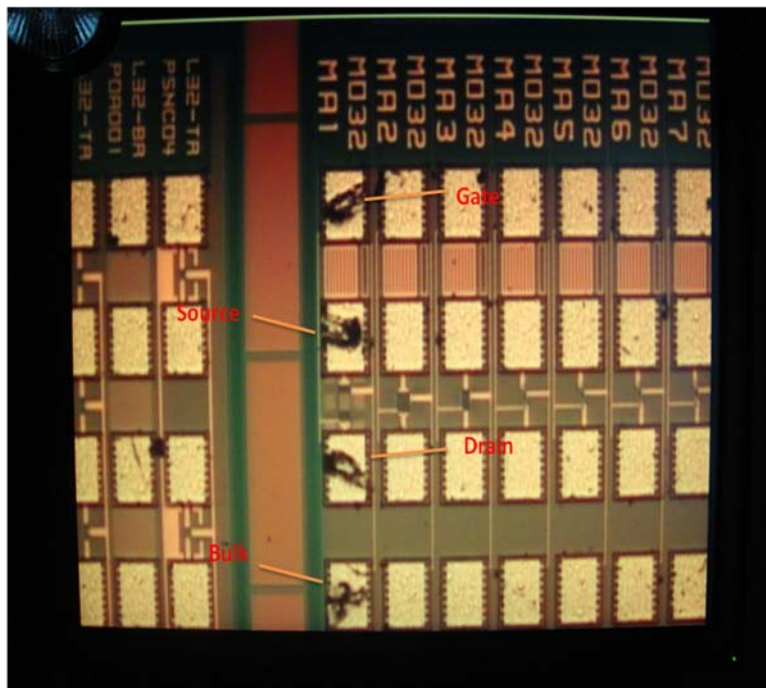


圖 3.1.2 n 型 sp-MOS

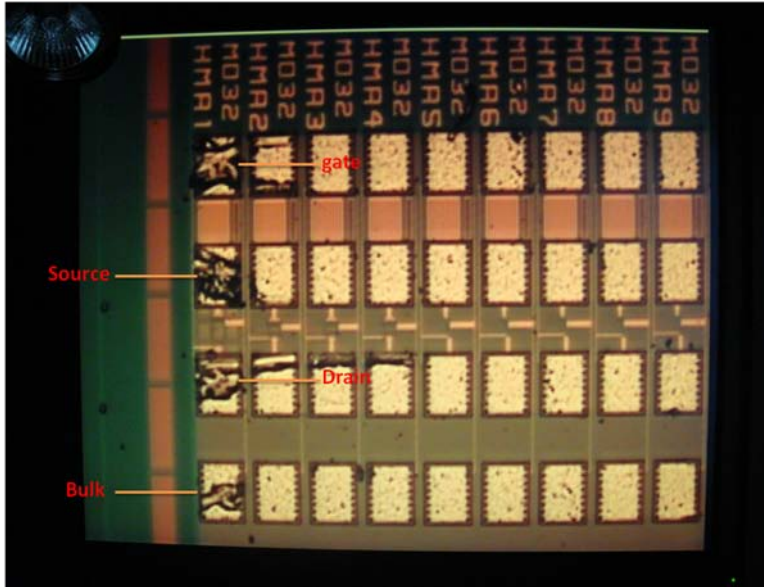


圖 3.1.3 n 型 I/O -MOS

### 3.2 儀器介紹

#### 1. 電性分析量測平台：

包括顯微鏡、燈光、CCD、螢幕、針座、探針即可升溫的 Hot Chuck

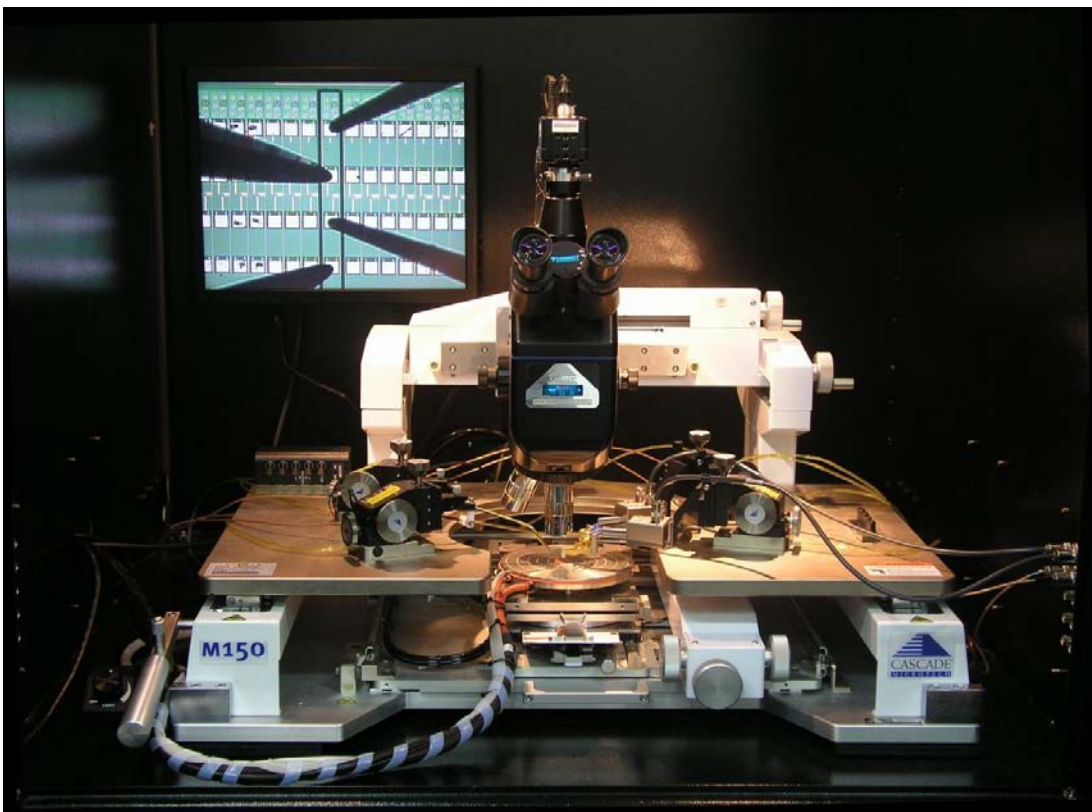


圖 3.2.1 電性分析平台

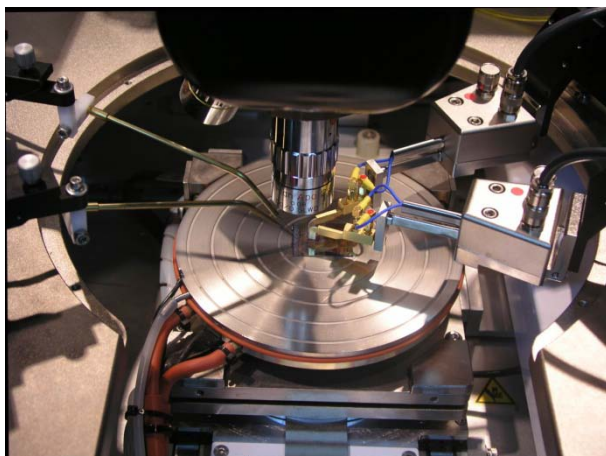


圖 3.2.2 針座平台



圖 3.2.3 switch



圖 3.2.4 B1500



圖 3.2.5 4200

### 3.5 可靠度(Reliability)

由於high-k本身有大量缺陷存在，元件受到正偏壓操作時，缺陷將捕獲電子造成VT shift，因此目前NMOS的主要的可靠度研究為positive



bias stress (PBS)。因此接下來對三種不同Ti摻雜濃度的metal-gate做DC偏壓下的PBS可靠度測試比較，此外由於元件在實際上是在AC電壓下操作，所以我們也針對不同 $Ti_xN_{1-x}$ 做了AC stress的可靠度研究。

### 3.5.1 直流正偏壓(DC\_PBS)

圖 3.5.1.1 為不同 Ti 濃度 metal-gate 所做的 PBS stress，為了排除金屬功函數差的影響，而導致有效氧化層厚度差別，因此我們在 stress 條件做了 VT 的修正，取 Stress Gate Voltage =  $EOT \times 10 \text{Mv/cm} + VT$ ，實驗結果顯示擁有較多 high-k bulk 缺陷的高摻雜 Ti 濃度的 metal-gate，其 VT shift 量為最大。除 VT shift 之外，元件的 S.S.與 GM隨時間皆無明顯變化如圖 3.5.1.2，由 S.S 變化可以得知界面缺陷並無明顯增加，主要是由缺陷 trapping 電子主導 VT 的飄移。將圖 3.5.1.1 實驗值根據 charge trapping model fitting，其 stretched exponential equation 方程式為：

$$\Delta V_{th} = \Delta V_{th0} \{1 - \exp[-(t/\tau)^\beta]\}$$

其中三個 fitting 參數分別為

$V_{th0}$ ：表示high-k內的全部缺陷被trapping後的VT飄移量。

$\tau$ ：表示載子被捕獲的特徵時間，與缺陷捕獲面積有關

$\beta$ ：與 high-k 內捕獲截面積的分佈範圍有關， $\beta$  越小，分佈範圍越廣

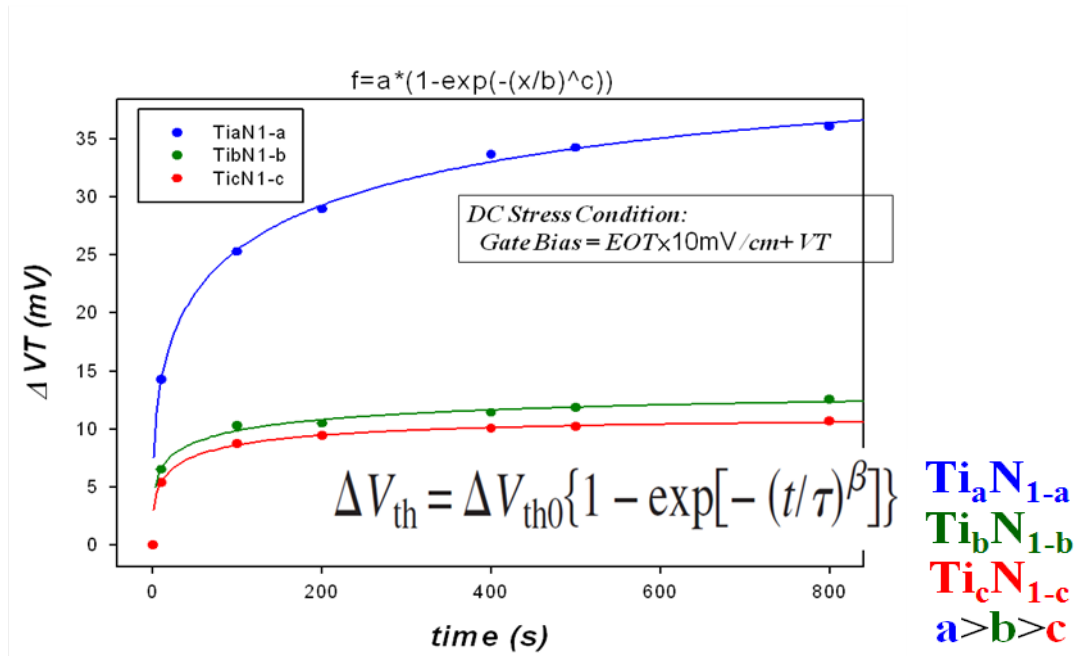


圖 3.5.1.1 PBTI對不同 $Ti_xN_{1-x}$  N型MOSFET的VT shift

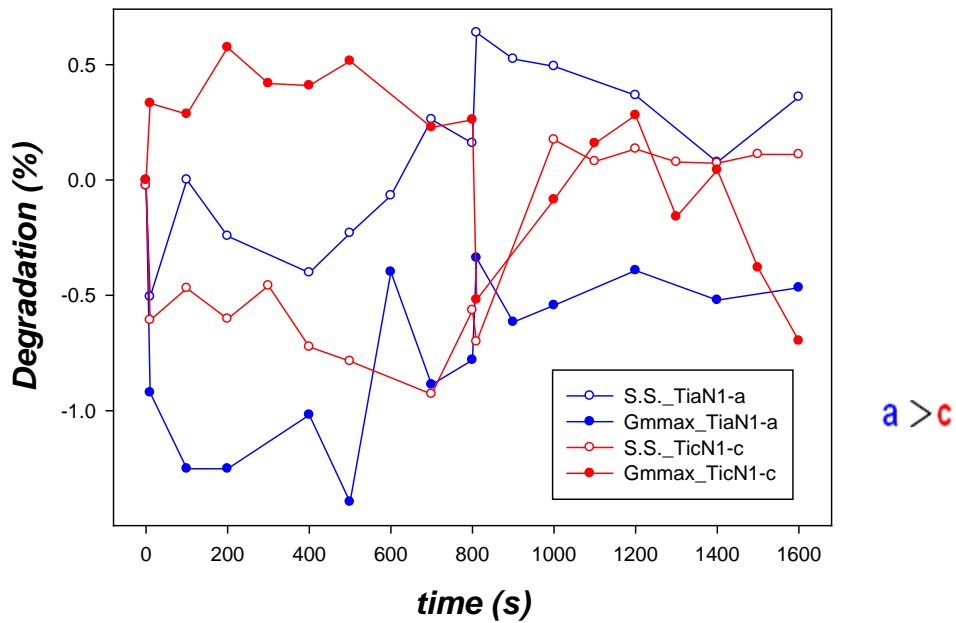


圖 3.5.1.2 PBTI對不同 $Ti_xN_{1-x}$  N型MOSFET的S.S和Gmmax變化量

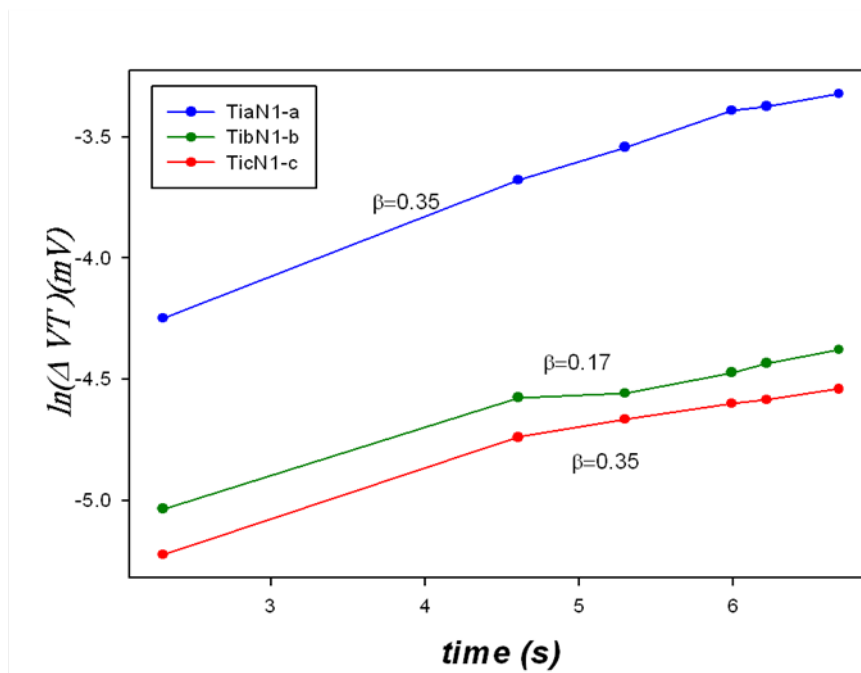


圖 3.5.1.3 PBTI對不同 $Ti_xN_{1-x}$  N型MOSFET捕獲截面積分佈範圍比較圖

而三種不同 $Ti_xN_{1-x}$ 濃度 fitting後結果與公式吻合如圖 3.5.1.3，證實 P B S 造成 $V_T$ 的飄移主要由trapping-detrapping 機制所主導。 $V_{th0}$ 從Ti最多到最少分別為 43.4mV、13.7mV與 11mV。表示Ti最多的lifetime最短，即使其基本電性有較高的載子移動率。從圖 3.5.1.1 可觀察到Ti最多的metal-gate 的 $V_T$ 飄移量最大外，其趨勢與另外兩片Ti摻雜濃度較少的相比，尚未趨近飽和。這主要是由於高摻雜Ti的metal-gate，high-k缺陷受到N的修補量少，因此經過P B S過後，除了本身已存在的缺陷會補獲電子外，在stress過程會產生更多的缺陷，造成trapping的量無法像另外兩片一樣趨近飽和。由閘極漏電流可以證實此推論，圖 3.5.1.4 為閘極漏電流變化對時間作圖，可看到經過較多N修補後的低摻雜Ti，其閘及漏電變化主要受 $V_T$ 所影響

( $V_T$  變大導致閘及漏電變小)。而反觀高摻雜的 Ti 缺陷較多，經過 stress 10s 後，閘極漏電變小，然而隨時間越長，電子穿過 high k 會使得缺陷數變多，電子更容易藉由 Frenkel-Poole 的機制漏電，因此閘極漏電隨之上升，而反觀 Ti 少，N 最多會修補電子穿過 high k 所造成的缺陷，因此從圖中可以觀察 Ti 少，介面缺陷逐漸增加而  $V_T$  上升， $I_g$  變小。

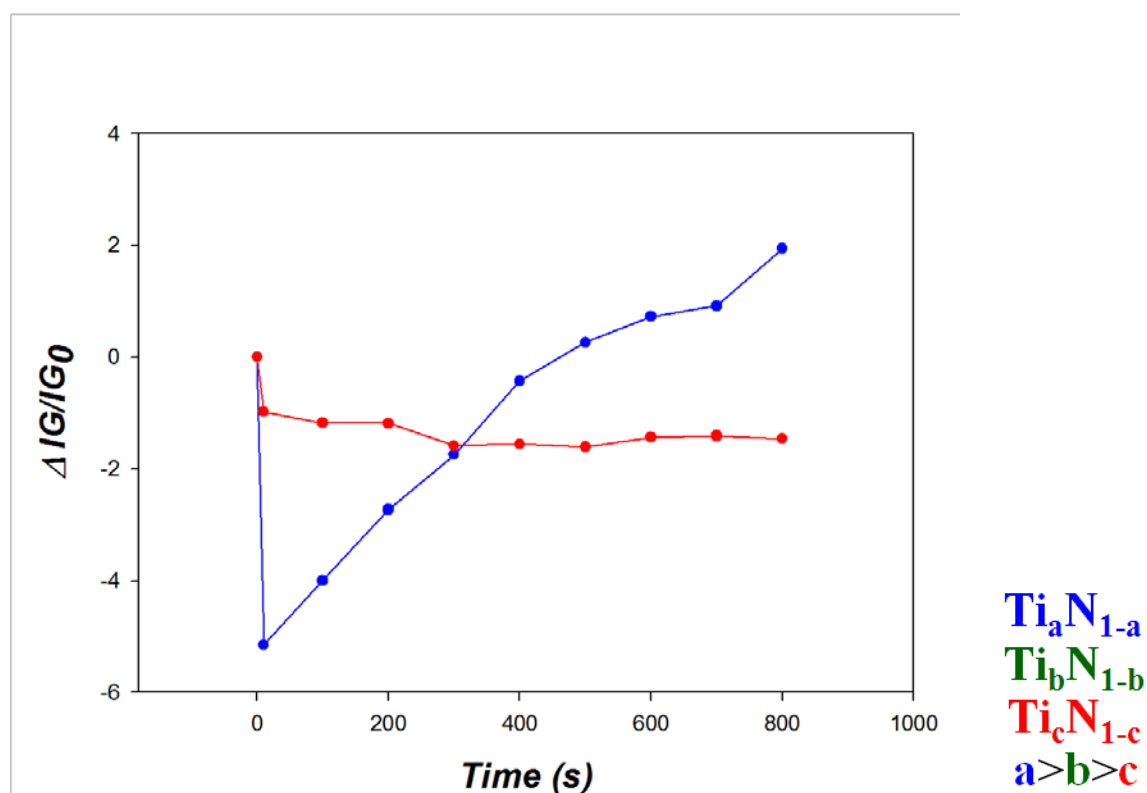


圖 3.5.1.4 PBTI 對不同  $Ti_xN_{1-x}$  N 型 MOSFET 的閘極電流變化圖

經過 P B S 800S stress 過後，緊接著我們觀察 N B S 800s 的 recover，圖 3.5.1.5 觀察到不管 Ti 摻多摻少  $V_T$  皆有 recover 的現象，而 Ti 摻雜濃度高看似有較高的 recover，其原因是由於其本身在 P B S 過程造成更多的缺陷，經 N B S 電子 detrapping 後，產生比原本還多的氧空位在 high-k 內，氧空位本身帶正電，造成  $V_T$  有較高的

recover 量。

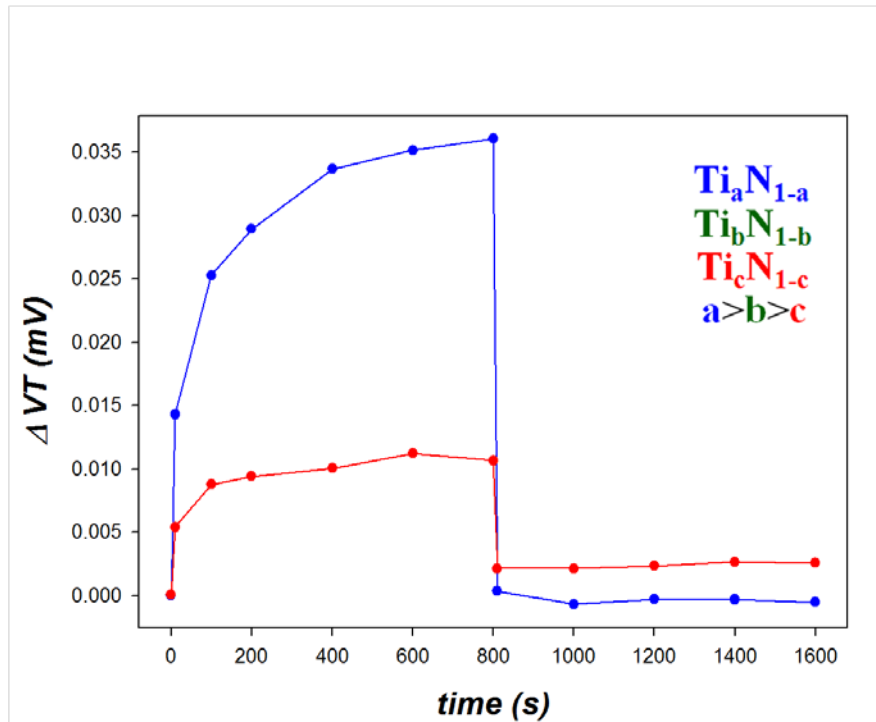


圖 3.5.1.5 0~800 秒PBTI且 800~1600 秒NBTI對不同 $Ti_xN_{1-x}$  N型MOSFET的 $V_T$  shift

圖 3.5.1.6 比較不同Ti 濃度 metal-gate 的 PMOS 經 NBS 後的結果，看到Ti 濃度越高，其 $V_T$  shift 量越少，與NMOS的趨勢剛好相反，原因是因為造成 $V_T$  shift 的機制不同，NMOS的 $V_T$  漂移主要是由電子被缺陷捕獲所主導，而PMOS的NBS機制主要是由電洞與表面的矽氫鍵作用，形成介面缺陷與氧化層固定電荷，造成 $V_T$ 的飄移。前面提到Ti 摻雜越多，相對N擴散到氧化層與通道形成界面缺陷的機會降低，因此經過NBS 800s 後的 $V_T$  變化量較少。圖 3.5.1.7 指出兩者 $V_T$ 對時間萃取出來的 $\beta$  值約為 0.25~0.3 之間，更可證實其PMOS經NBS的劣化機制符合R-D mode，而非受制

於電洞 trapping-detrapping 效應。

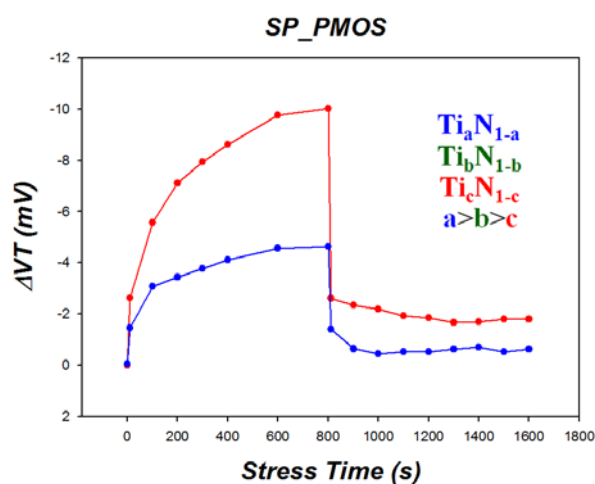


圖 3.5.1.6 0~800 秒NBTI且 800~1600 秒PBTI對不同 $Ti_xN_{1-x}$  P型MOSFET的VT shift

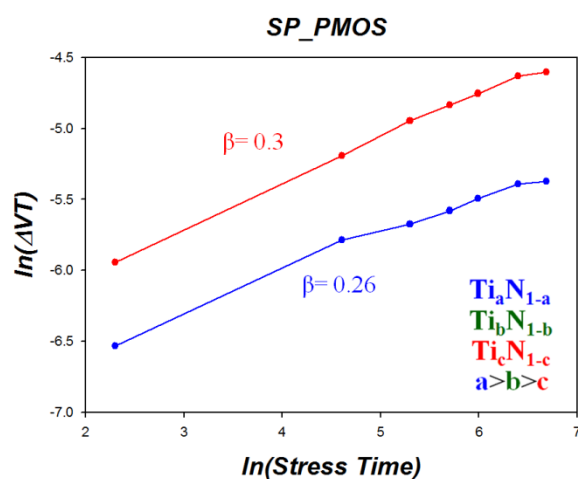


圖 3.5.1.7 0~800 秒NBTI且 800~1600 秒PBTI對不同 $Ti_xN_{1-x}$  N型MOSFET捕獲截面積分佈範圍比較圖

### 3.5.1 AC stress

以上為主要是針對 High-k n-MOS 在 DC stress 操作下，其載子 trapping-detrapping effect 所造成 VT shift，然而 MOSFET 事實上是在 AC 情況下操作，而尤其在 CPU 操作頻率更為影響電腦操作速率的重要因素，因此接下來將探討 High-k n-MOS 在 AC stress 下的操作情形。

圖 3.5.1.1 與圖 3.5.1.2 分別是 n-MOS 在 DC 與 AC stress 下的線性區基本電性，而 DC 條件操作在閘極偏壓為  $0.5V+V_T$ ；AC 條件為頻率 100K Hz，tailing time 與 leading time 為 10ns，base 電壓為 0V，振幅為  $0.5V+V_T$ ，兩者 (DC 與 AC) 皆在 Source、drain 與 body 接地情況下 stress。由圖中可清楚看到在相同閘極偏壓強度下，AC 操作下的劣化情況明顯比 DC 嚴重，而操作在 DC 卻無明顯劣化。

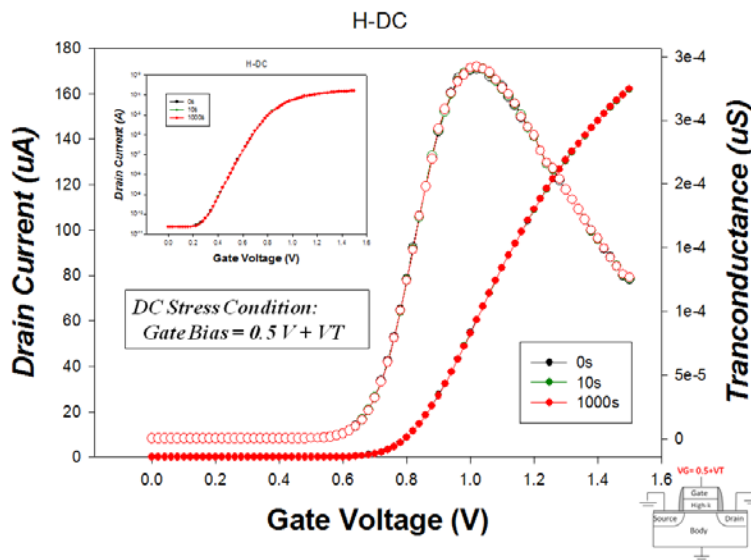


圖 3.5.1.1 DC stress 對於 sp device

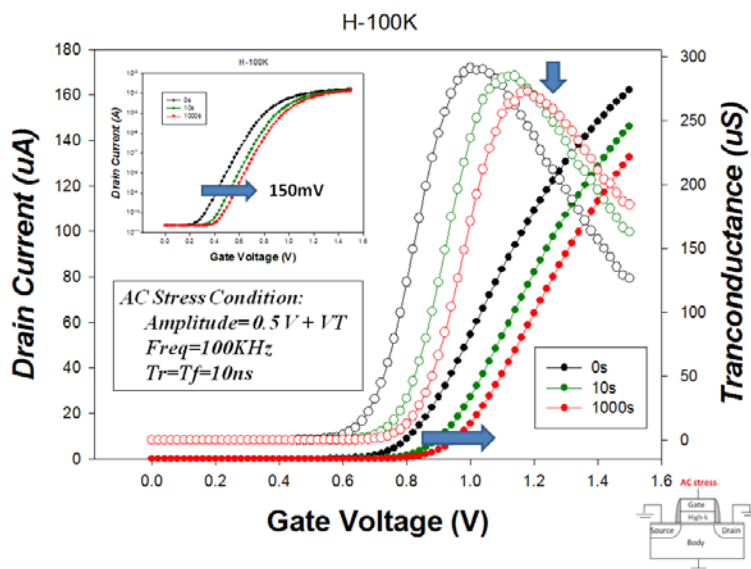


圖 3.5.1.2 AC stress 對於 sp device

從圖 3.5.1.3 參數發現其 S.S.隨時間無明顯變化，代表此 AC stress 條件並不會造成元件通道界面缺陷的破壞，因此推測 I/O n 劣化主要由 VT shift 所造成。而為了瞭解導致 VT shift 的機制，因而我們進行圖 3.5.1.4 的實驗，其方式為元件操作在相同 AC 振幅下，從 n-MOS 的 off state 到 on state，分成三個階段平移 AC 波形，發現唯有當通道產生反轉時，才會產生大量的 VT shift 現象，並且我們利用圖 3.5.1.5 的實驗來佐證，其實驗方式為固定 base 電壓為 0V，調整 peak 電壓大小分別為 0.5V、VT、1V、0.5+VT，而由圖 3.5.1.5 可以觀察到唯有 AC stress 施予電壓於 on reg I/O n 的地方才会有 VT shift，這表示在 AC 下的 VT shift 主要與少數載子(電子)有關，且在 DC stress VT 下無明顯變化。因此推測元件操作在 AC 狀況下造所成大量 VT shift 與少數載子的 trapping detrapping effect 有關。

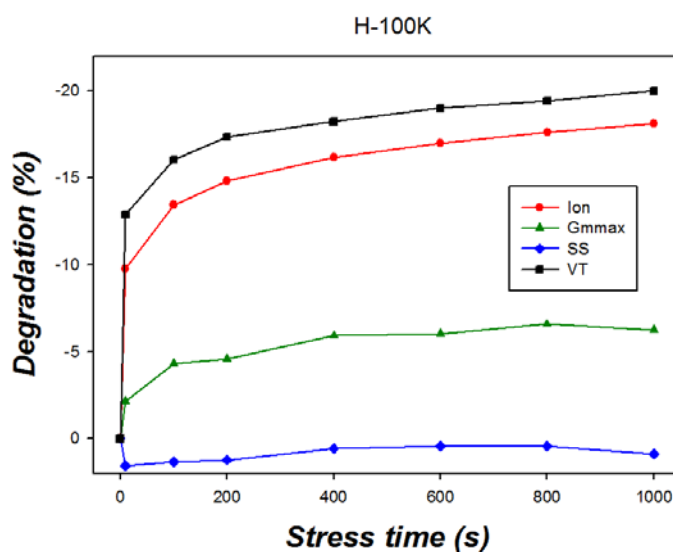




圖 3.5.1.3 stress 劣化百分比

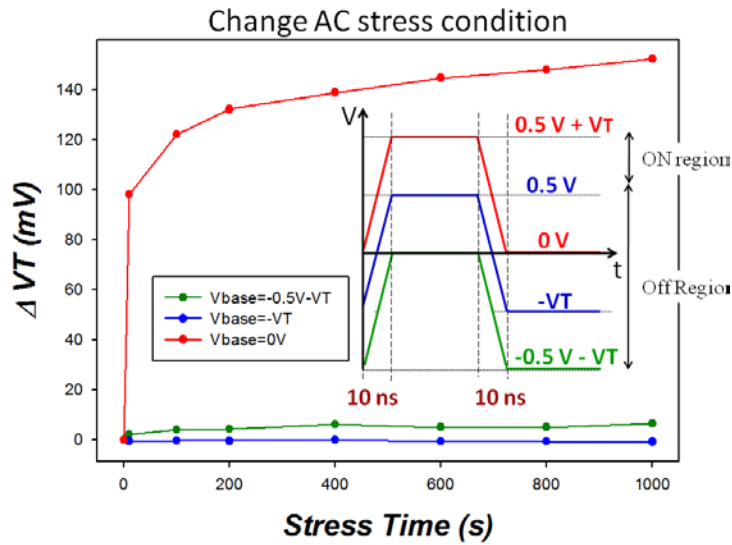


圖 3.5.1.4 比較不同 base 電壓 AC stress 的 VT shift

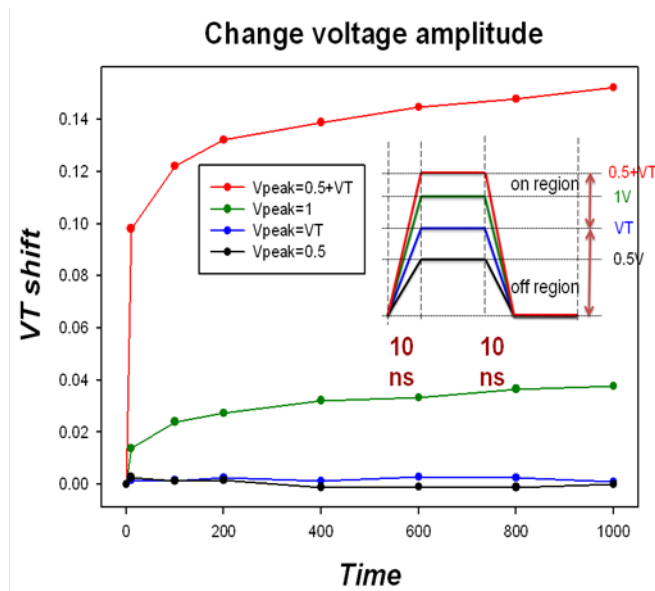


圖 3.5.1.5 比較不同振幅電壓 AC stress 的 VT shift

而為了解少數載子trapping的情況，我們利用C-V電性圖來獲得缺陷變化的資訊，而圖 3.5.1.6 (a)和(b)為stress前後的C-V電性圖( $C_{GC}$ 與  $C_{GB}$ )，其量測結果分別對應於圖 3.5.1.6 (c)和(d)的CV量測方式。圖 3.5.1.6 (b)可看到 $C_{GC}$ 在stress後， $C_{GC}$ 會往右平移，反觀 $C_{GB}$ 如圖 3.5.1.6 (a)

卻無平移現象，則代表CV經AC stress的前後結果造成少數載子 trapping- detrapping effect的區域並非為整個通道，而是發生在靠近 source與drain端的overlap處。圖 3.5.1.7 為其trapping後的能帶示意圖，由於靠近source與drain 端的電場與少數載子濃度較大造成電子 trapping區域靠近overlap，使得能帶在S/D端形成一個能障，造成閘極需加更大偏壓使得S/D端提供足量的少數載子來使通道形成反轉，而因此trapping overlap區域對 $C_{GB}$ 的量測接法所量的電容則無明顯的影響。

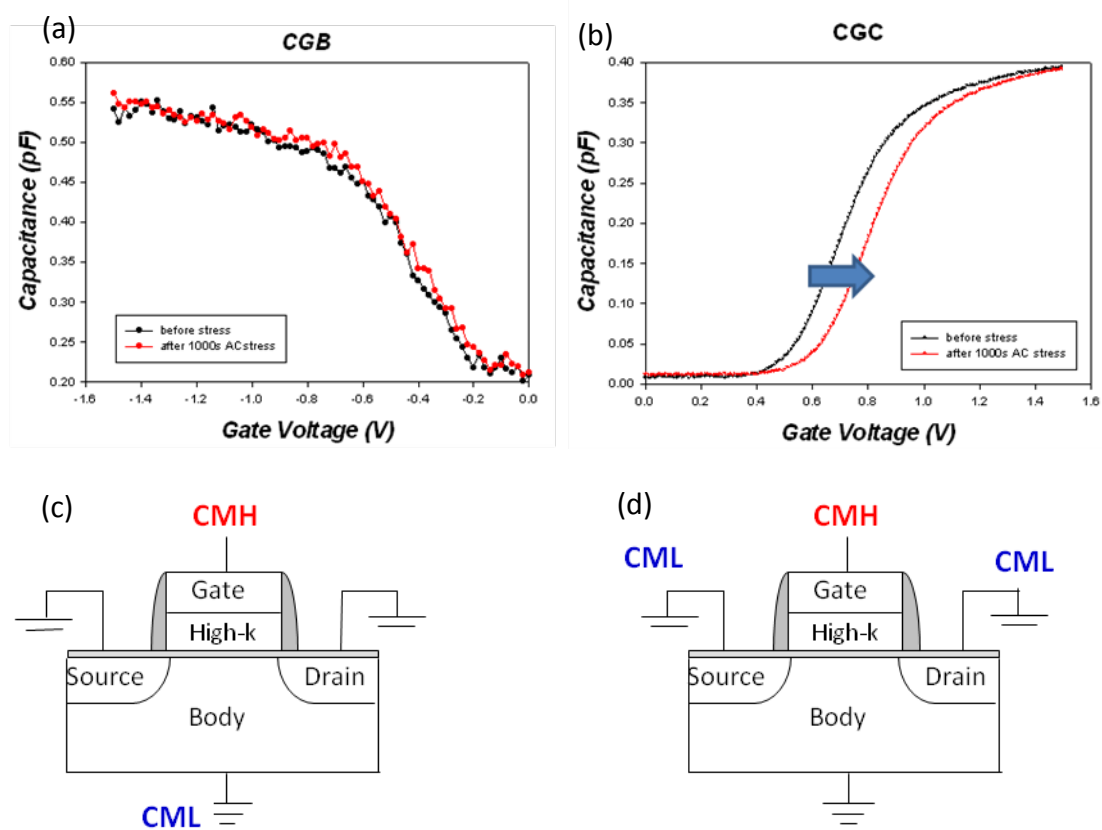


圖 3.5.1.6 (a)  $C_{GC}$ -V的曲線圖(b)  $C_{GB}$ -V的曲線圖(c)  $C_{GC}$ -V示意圖(d)  $C_{GB}$ -V示意圖

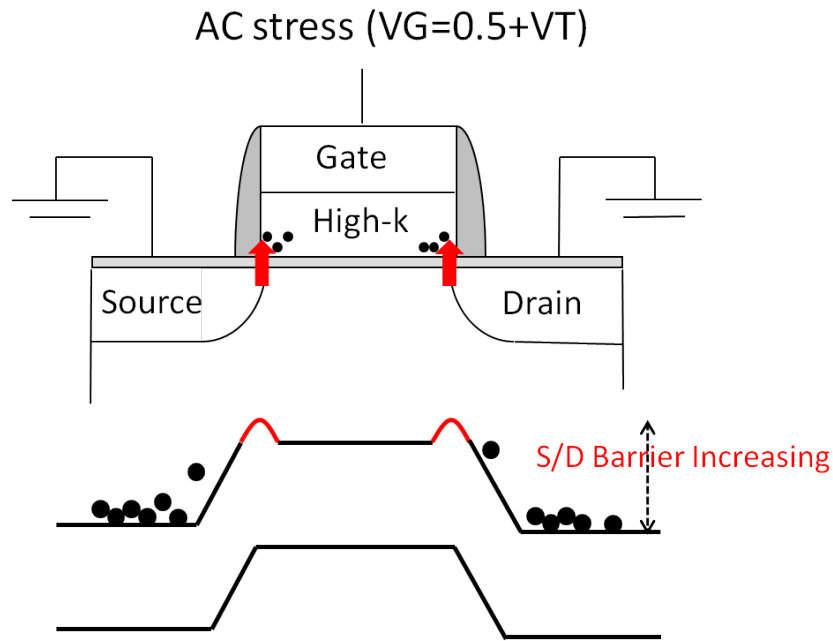


圖 3.5.1.7 AC stress 變化能帶圖

爲了證實S/D靠近overlap皆有能障的產生，因此我們利用  $C_{GD\_source}$  floating如圖 3.5.1.8(a)以及  $C_{GS\_drain}$  floating如圖 3.5.1.8(b)，而其對應的接法分別爲圖 3.5.1.8(c)以及圖 3.5.1.8(d)，由圖 3.5.1.8(c)中觀察到  $C_{GD}$  於stress過後有平移現象且  $C_{GS}$  圖 3.5.1.8(c)也有平移現象，因此可以推測在S/D靠近overlap皆有能障的產生。

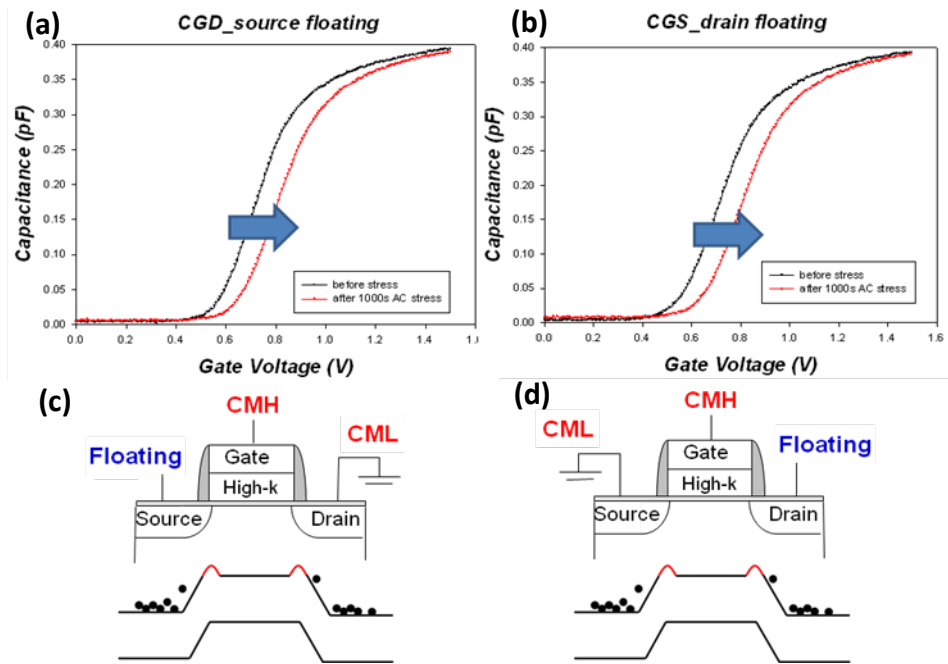


圖 3.5.1.8 (a)  $C_{GD}$ -V 的曲線圖 (b)  $C_{GS}$ -V 的曲線圖 (c)  $C_{GD}$ -V 示意圖以及能帶圖 (d)  $C_{GS}$ -V 示意圖以及能帶圖

為了驗證是由於 S/D overlap 處的 trapping-detrapping effect 造成 VT shift，因此我們利用 source 和 drain floating 進行 AC stress，而條件為 AC 條件為頻率 100K Hz，traning time 與 leading time 為 10ns，base 電壓為 0V，振幅為  $0.5V+V_T$ ，而可以發現無論是  $V_T$ 、S.S、I/O n 皆無變化，可以推測由於 S/D 皆 foating 則無電子產生反轉層，而無法造成靠近 overlap 處缺陷捕捉，因此由圖型確實 stress 前後並沒有 VT shift。

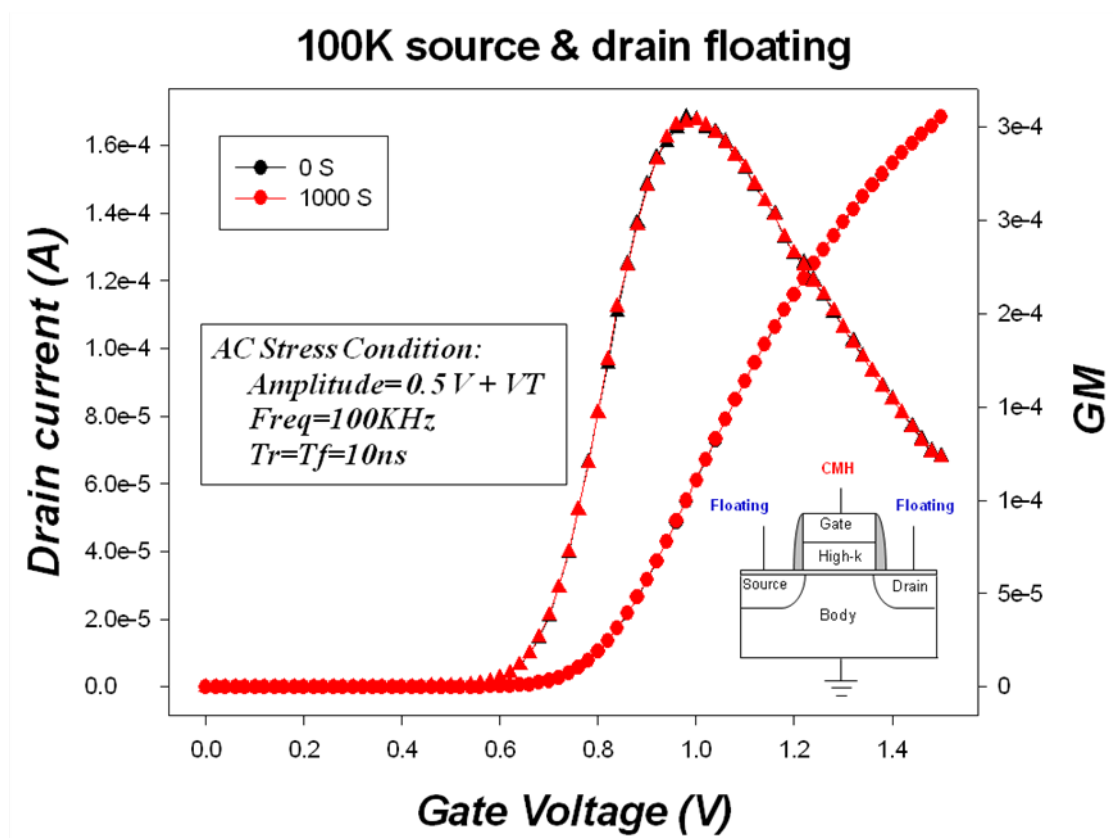


圖 3.5.1.9 S/D floating AC stress 的  $V_T$  shift

而接下來我們利用另外一個實驗驗證 trapping 的區域位置為於 S/D overlap 處，將原本 stress 時 source 端的接地狀況改為 floating，若前面的推斷正確，由 trapping 電子造成的額外能障將只位於靠近 drain 端的 overlap 處，如圖 3.5.1.10 所示。

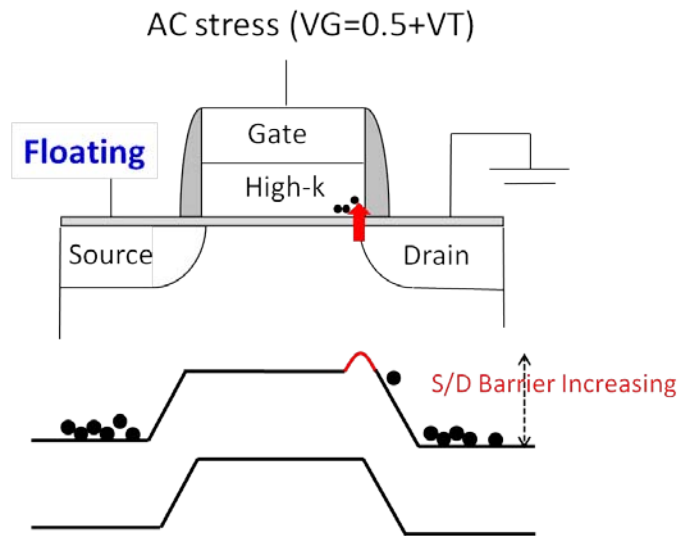


圖 3.5.1.10 source floating AC stress 能帶變化圖

爲了確認在此條件下，只有 drain 端 overlap 處造成 trapping 形成的 barrier，圖 3.5.1.11 (a)和(b)爲兩種 CV 量測方式，分別爲 source 端 floating，drain 端接 CML 與 drain 端 floating，source 端接 CML 去感應其電荷變化。圖 3.5.1.11 (c)和(d)分別爲這兩種量測方式下 stress 前後的 CV 變化，可看到由於在 drain 端形成一額外的能障，造成由 drain 端提供的少數載子必須跨越此能障才能形成通道反轉，因此圖 3.5.1.11 (c) 顯示在 CV 在 stress 過後會往右平移，相反地，source 端由於在 stress 時接地造成無少數載子 trapping 在 source 端 overlap 處，而由 source 端提供少數載子將不會看到此能障，故圖 3.5.1.11 (d)顯示 stress 前後在 CV 無明顯變化。

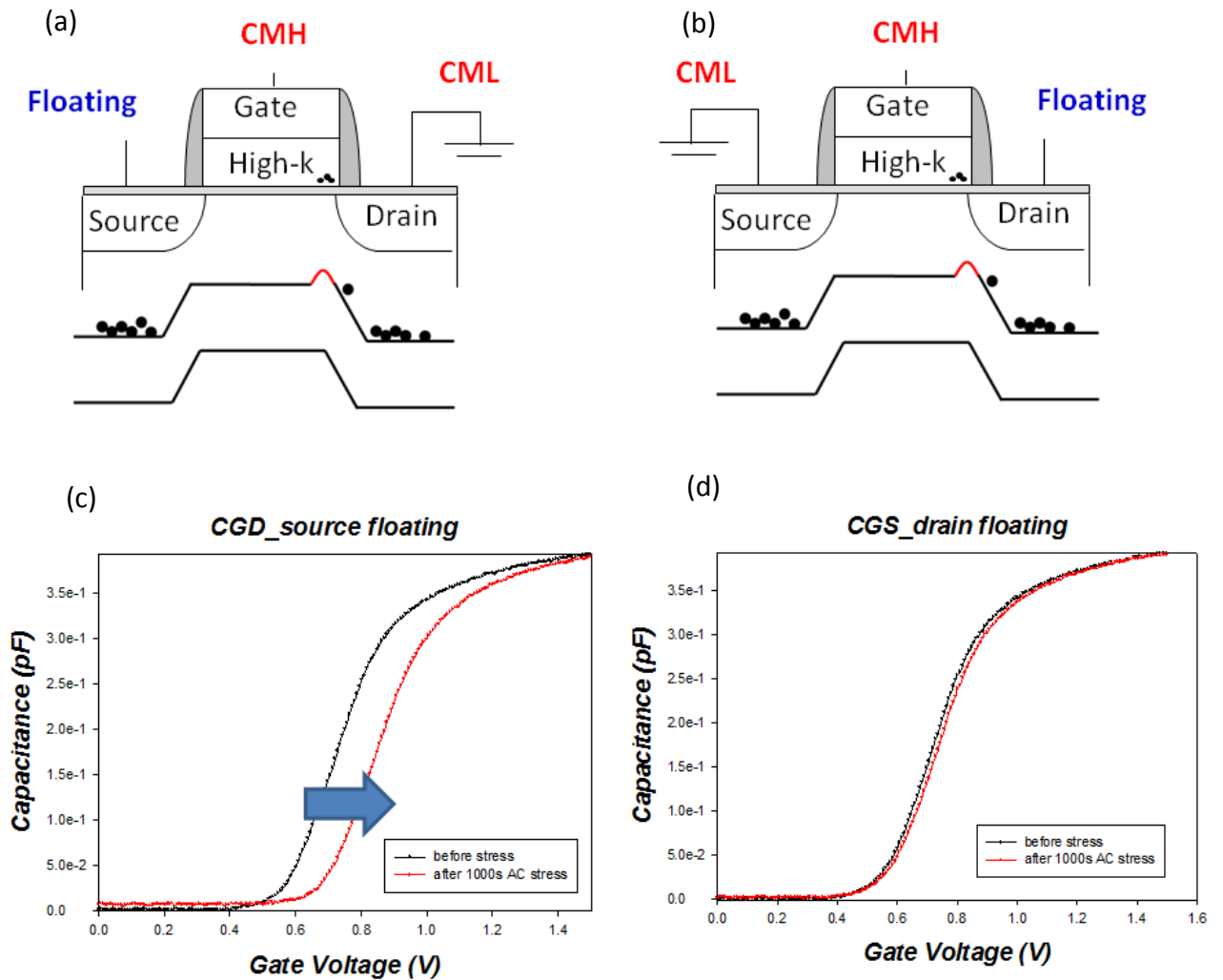


圖 3.5.1.11 (a)  $C_{GD}$ -V 示意圖以及能帶圖 (b)  $C_{GS}$ -V 示意圖以及能帶圖 (c)  $C_{GD}$ -V 的曲線圖 (d)  $C_{GS}$ -V 的曲線圖

而我們推測造成這樣現象的原因為首先我們先觀察 AA' 處，當閘極電壓施予  $0.5+V_T$ ，MOSFET 處於反轉，電子穿隧  $\text{SiO}_2$  到達 high k 被缺陷捕捉，而 high k 會有電場往閘極方向 (圖 3.5.1.12 (a))，而當閘極電壓施予 0V，電子處於聚積，氧化層有內建電場朝向閘極區域 (圖 3.5.1.12 (b))，因而電子會不斷朝向閘極方向流動，最後流到閘極，而不會有電子被 trap 在氧化層中，因此 S.S. 沒有變化。

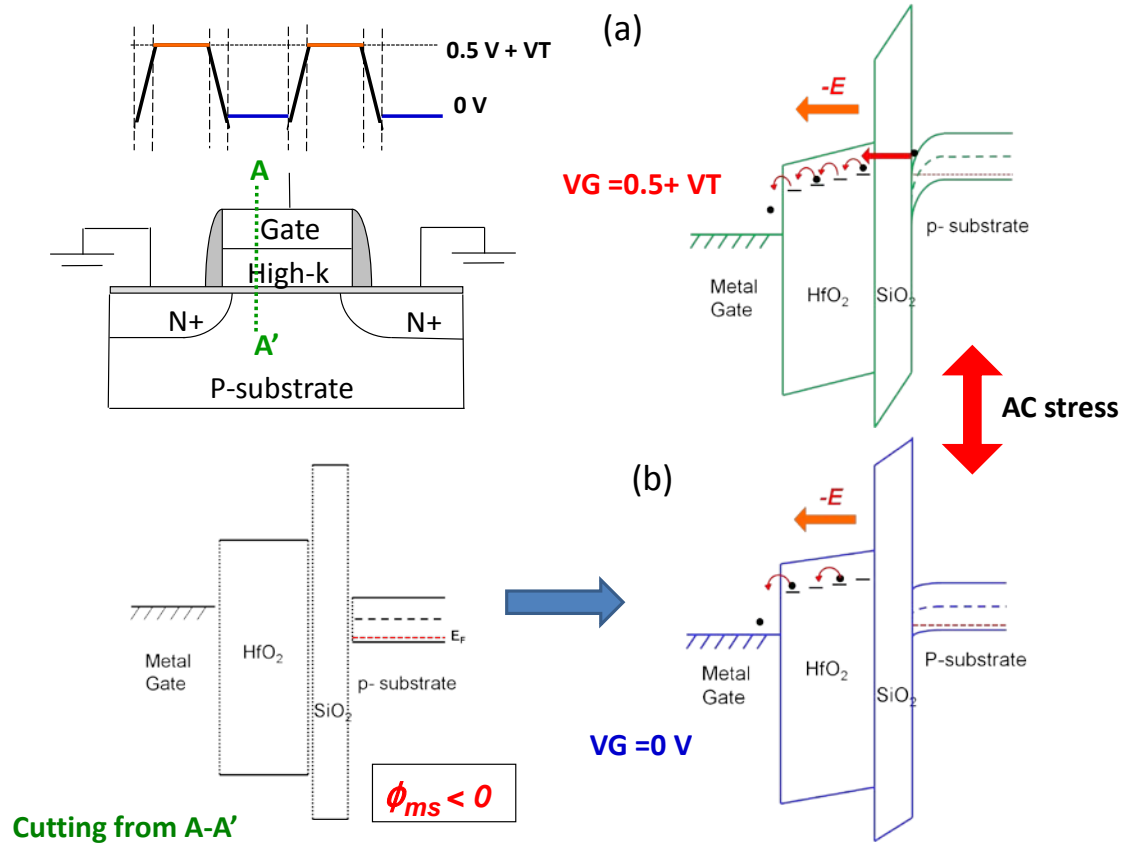


圖 3.5.1.12 AC stress 對通道的機制影響示意圖

而我們改觀察BB' 處，當閘極電壓施予  $0.5+V_T$ ，MOSFET處於反轉，電子穿隧SiO<sub>2</sub>到達high k被缺陷捕捉，而high k會有電場往閘極方向(圖 3.5.1.13 (a))，而反觀閘極電壓施予 0V，電子處於聚積，氧化層有內建電場朝向n<sup>+</sup> S/D區域(圖 3.5.1.13 (b))，因而電子會不斷的在氧化層中不斷的來回，因而電子不斷被trap在氧化層中，而且隨著AC stress 時間的增加，累積在靠近overlap處的氧化層中的電子也持續的增加，因此電子只會trap在靠近overlap處，並且造成通道S.S並無劣化情形。



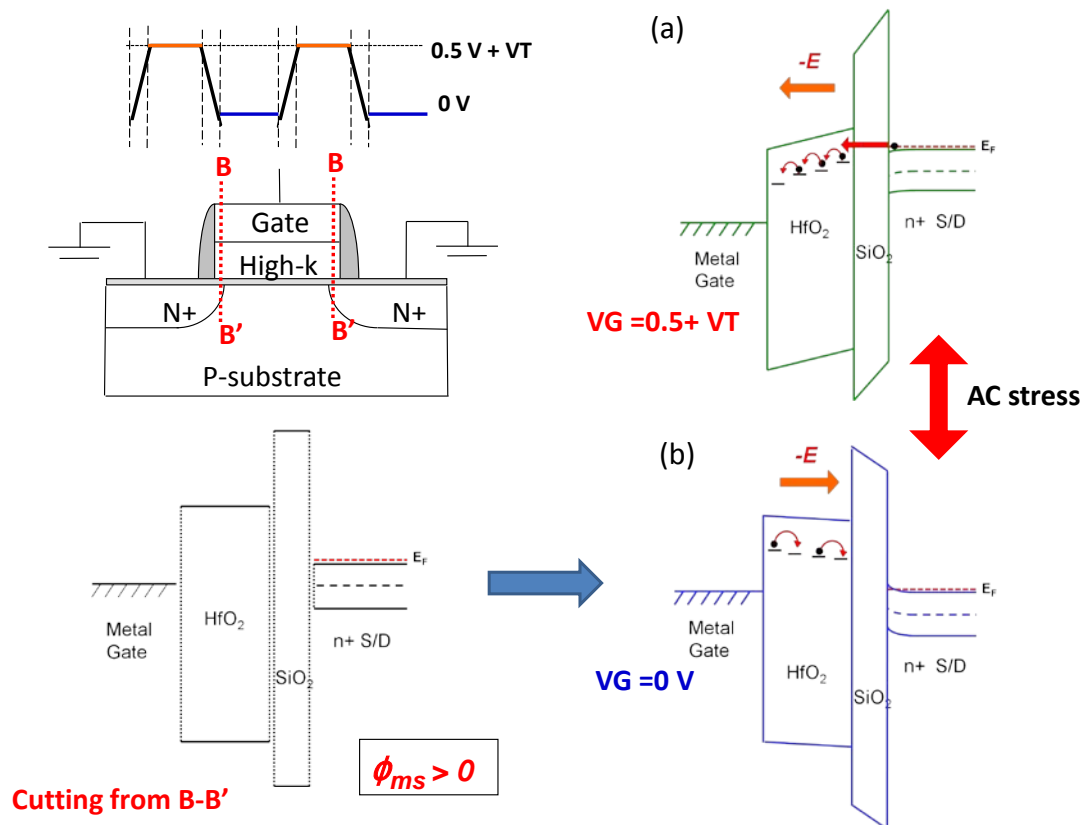


圖 3.5.1.13 AC stress 對 overlap 處的機制影響示意圖

而接下來我們探討 AC stress 變化與頻率的關係，由圖 3.5.1.14 顯示隨著頻率的增加， $V_T$  shift 量越大，而在極低頻下(DC stress)  $V_T$  下無明顯變化，則推論於高頻下操作，少數載子被 high-k 缺陷 trapping 後，由於處於高頻下少數載子無足夠的時間跳出，因此電子被 high-k trapping 的量將隨頻率增加而增多，造成在高頻下 stress 後的  $V_T$  shift 量最大。而在固定 DC 偏壓下 stress，由於少數載子擁有足夠時間跳出缺陷並且閘極一直施予正電壓於 MOSFET，就像一直施加電場朝向閘極(圖 3.5.1.13(a))，而電子最後會流到閘極流掉，因此 DC 操作下的  $V_T$  無明顯的變化，這代表操作在 AC 條件下的 high-k device 並不適用

於傳統固定 DC 偏壓 stress 的可靠度測量，這將低估元件 high-k 層本身的 trapping-detrapping effect。

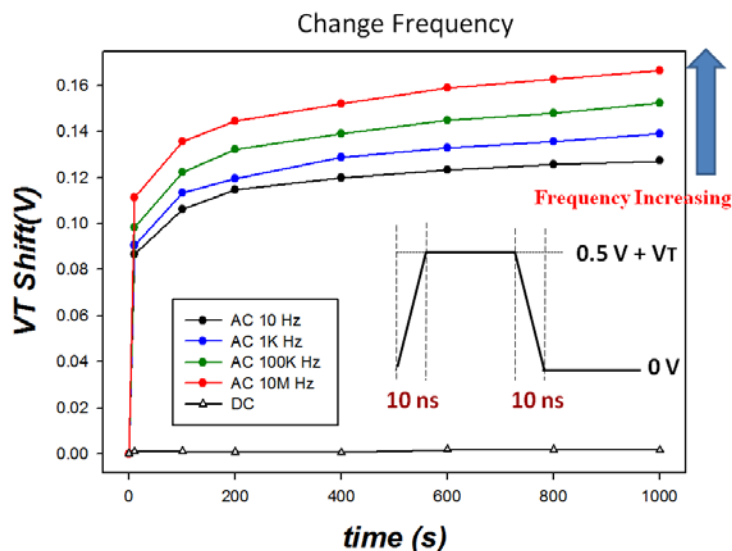


圖 3.5.1.14 比較不同頻率之下 AC stress VT shift

為再次驗證 AC stress 下的 VT shift 主要由於 trapping-detrapping effect 所造成，圖 3.5.1.14 為 SP 與 I/O devices 操作在相同 AC stress 條件下 VT 劣化趨勢，可看到由於 I/O 的 interfacial oxide 厚度較厚的緣故，無 trapping-detrapping effect，因此 VT 無明顯變化。

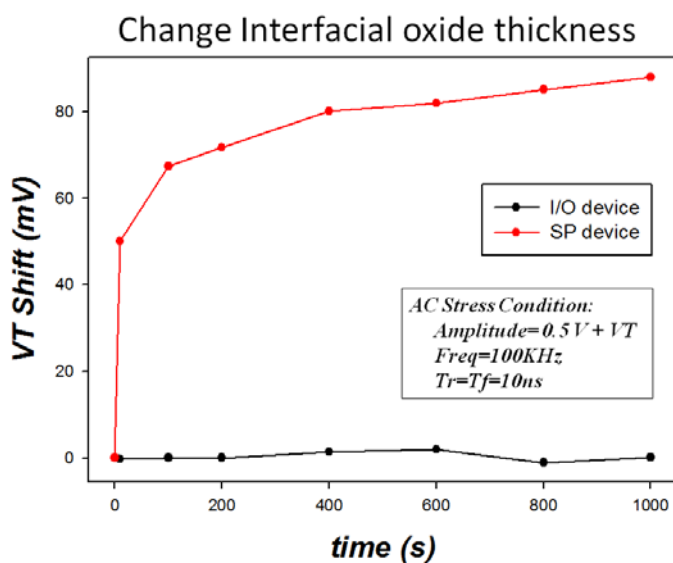


圖 3.5.1.15 比較不同氧化層厚度 AC stress VT shift

由以上討論可知道當元件在 AC 下操作時，將造成少數載子 trapping 在 S/D overlap 處的 high-k 層內，與 DC 操作下 trapping 在整個 high-k 層有所不同。而圖 3.5.1.15 顯示經 AC stress 過後的 device，再受到負偏壓操作下 1000s，將會有 recover 效果，這是由於 trapping 在靠近 S/D 端 overlap 處的 high-k 層內少數載子，在受到負偏壓條件操作下，電子將從缺陷跳出，使得 S/D 端的能障下降，因此 VT recover 回原始的 VT 值。

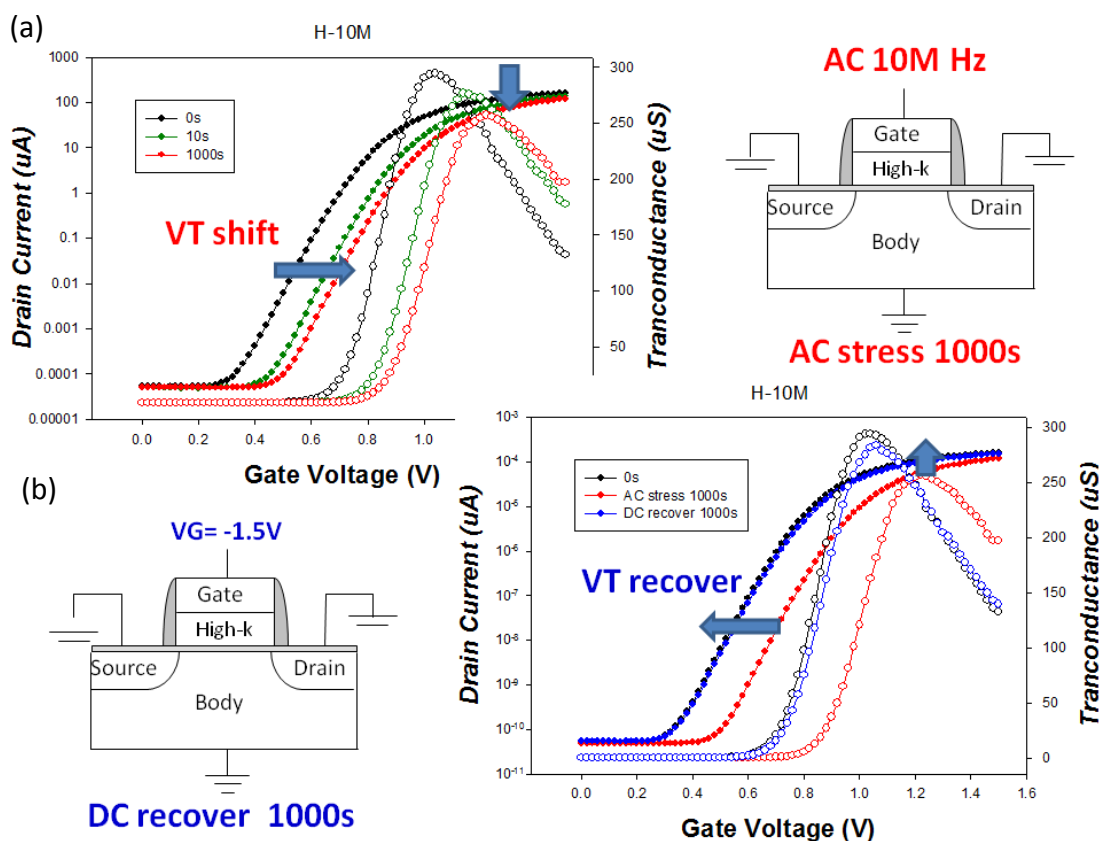


圖 3.5.1.16 (a)AC stress VT shift 變化圖(b) DC recover VT shift 變化圖

## Conclusion

由chapter3，我們針對不同  $Ti_xNi_{1-x}$  metal gate的濃度以及氧化層厚度 $sp$ 和 $l/O$ 進行研究，首先先針對S.S進行探討，我們是利用charge pumping來進行探測可以由前面所告知的由於當N濃度越大時則會造成介面缺陷越多，而氧化層厚度越厚則可以抑制N造成介面缺陷的破壞，而接下來對於 $V_T$ 進行探討，對n型MOS而言，Ti濃度越多會降低金屬半導體功函數差，而反之，對P型MOS而言，Ti濃度越多會增加金屬半導體功函數差，而接著探討 $g_m$ ，在低電場時由庫倫散射主導，而介面缺陷為主要影響因素，而因此隨著由前面所得知的，當N濃度越大時則會造成介面缺陷越多則mobility越小，而觀測高電場為high k的remote phonon scattering主導，而Ti濃度越大則抑制remote phonon scattering的效果越大，因此在高電場，Ti濃度越大則mobility越大。針對 high k 可靠度進行研究，因此對 N 型 MOS 進行 PBTI，而一開始的時候電子會被缺陷捕捉而  $V_T$  上升，而此時隨著 stress 時間增加，N 少的 bulk 缺陷較多而會造成 Poole Frenkel 機制使得閘級漏電上升而不論 N 濃度多少皆會使得  $V_T$  上升，而實際應用皆為 AC stress，而我們接著進行 AC stress，AC stress 會造成電子 trapping 於靠近 overlap 處並且隨著頻率的增加而  $V_T$  shift 上升。

## References

1. 半導體科技 未來 IC 製造必須依靠電路與元件微縮議題的解決方案 2005/5/3
2. A.Kerber,E.Cartier,L.Pantisano,R.Degraeve,T.Kauerauf,Y.Kim,A.Hou,Groeseneken, IEEE,VOL.24,NO.2,February 2003
3. Moshe Gurfinkel,John S. Suehle,Yoram Shapira,Microelectronic Engineering 86(2009)
4. G.D. Wilk,R.M.Wallace,J.M.Anthony,JOURNAL OF APPLIED PHYSICS
5. X.Garros,M.Casse,G.Reibold,M.Rafik,F.Martin,F.Andrieu,F.Boulangier, Microelectronic Engineering 86(2009)
6. Robert Chau, Suman Datta, Mark Doczy, Brian Doyle, Jack Kavalieros,and Matthew Metz, IEEE, VOL. 25, NO. 6, JUNE 2004